

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030003062 A
(43)Date of publication of application: 09.01.2003

(21)Application number: 1020020036635
(22)Date of filing: 28.06.2002
(30)Priority: 28.06.2001 JP 2001 2001195673

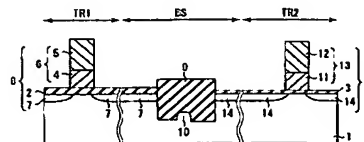
(71)Applicant: KABUSHIKI KAISHA TOSHIBA
(72)Inventor: GODA AKIRA
HAZAMA HIROAKI
MATSUI MICHIHARU
NOGUCHI MITSUHIRO
TAKEUCHI YUJI

(51)Int. Cl. H01L 27/115

(54) SEMICONDUCTOR DEVICE AND FABRICATING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor device is provided to decrease the number of fabricating processes and fabricate a semiconductor of high capability by separating a gate insulation layer before a separation trench is formed so that the structure of a border part is designed.



CONSTITUTION: The main surface of a semiconductor substrate(1) of the semiconductor device includes the first and second region (TR1,TR2) and the border part(BS) between the first and second regions. The first gate insulation film(2) and the first gate electrode(6) are disposed on the main surface in the first region. A pair of the first diffusion layers(7) are so formed under the main surface as to sandwich the first gate electrode. The second gate insulation film(3) different from the first one, and the second gate electrode(13), are disposed on the main surface in the second region. A pair of the second diffusion layers(14) are so formed under the main surface to sandwich the second gate electrode. An element separation region(9) is formed in the border between the first and second regions. The element separation region comprises a trench formed under the main surface and an insulation film which comprises a part embedded in the trench and a part protruding above the main surface. The bottom of the trench varies in depth depending on places.

© KIPO 2003

Legal Status

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H01L 27/115

(11) 공개번호 특2003-0003062
(43) 공개일자 2003년01월09일

(21) 출원번호 10-2002-0036635
(22) 출원일자 2002년06월28일

(30) 우선권주장 JP-P-2001-00195673 2001년06월28일 일본(JP)

(71) 출원인 가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고

(72) 발명자 고다야끼라
일본가나가와켄요코하마시이소고꾸신스기따쵸8가부시끼가이샤도시바요코하마퍼실러티어
드미니스트레이션센터내
노구찌미쯔히로
일본가나가와켄요코하마시이소고꾸신스기따쵸8가부시끼가이샤도시바요코하마퍼실러티어
드미니스트레이션센터내
다케우찌유지
일본가나가와켄요코하마시이소고꾸신스기따쵸8가부시끼가이샤도시바요코하마퍼실러티어
드미니스트레이션센터내
마쯔이미찌하루
일본가나가와켄요코하마시이소고꾸신스기따쵸8가부시끼가이샤도시바요코하마퍼실러티어
드미니스트레이션센터내
하자마히로아끼
일본가나가와켄요코하마시이소고꾸신스기따쵸8가부시끼가이샤도시바요코하마퍼실러티어
드미니스트레이션센터내

(74) 대리인 장수길
구영창

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법

요약

반도체 장치의 반도체 기판의 주표면은 제1 및 제2 영역과 상기 제1 및 제2 영역 사이의 경계부를 포함한다. 제1 영역 내에서 주표면상에 제1 게이트 절연막 및 제1 게이트 전극이 형성된다. 제1 게이트 전극을 사이에 두고 주표면내에 1쌍의 제1 확산층이 형성된다. 제2 영역내에서 주표면상에 제1 게이트 절연막과 상이한 제2 게이트 절연막 및 제2 게이

트 전극이 형성된다. 제2 게이트 전극을 사이에 두고 주표면내에 1쌍의 제2 확산층이 형성된다. 제1 및 제2 영역간의 경계부내에 소자 분리 영역이 형성된다. 소자 분리 영역은 주표면내에 형성된 트렌치와, 트렌치내에 매립된 부분 및 주표면에서 상측으로 돌출하는 부분을 갖는 절연층을 포함한다. 트렌치의 저부는 부분에 따라 깊이가 상이하다.

대표도

도 1a

색인어

메모리셀 트랜지스터, 트렌치, 게이트 절연막, 게이트 전극, 확산층, 소자 분리 영역

명세서

도면의 간단한 설명

도 1a는 본 발명의 제1 실시 형태에 관한 반도체 장치의 경계부 부근을 도시한 단면도이고, 도 1b는 제1 실시 형태의 변경예에 관한 반도체 장치의 경계부 부근을 도시한 단면도.

도 2a, 도 2b는 각각 제1 실시 형태의 변경예에 관한 반도체 장치의 경계부 부근을 도시한 단면도.

도 3a, 도 3b는 각각 제1 실시 형태에 있어서의 제1 및 제2 트랜지스터 영역의 게이트 전극을 연장 방향을 따라 도시한 단면도.

도 4a~도 4c, 도 5a~도 5c, 도 6a~도 6c, 도 7a~도 7c 및 도 8은 도 1a에 도시된 구조의 제조 방법을 도시한 단면도.

도 9는 도 1b에 도시된 구조의 제조 방법을 도시한 단면도.

도 10a, 도 10b, 도 11a, 도 11b, 도 12a, 도 12b는 도 2a에 도시된 구조의 제조 방법을 도시한 단면도.

도 13은 도 2b에 도시된 구조의 제조 방법을 도시한 단면도.

도 14a는 본 발명의 제2 실시 형태에 관한 반도체 장치의 경계부 부근을 도시한 단면도이고, 도 14b는 제2 실시 형태의 변경예에 관한 반도체 장치의 경계부 부근을 도시한 단면도.

도 15a, 도 15b는 각각 제2 실시 형태의 변경예에 관한 반도체 장치의 경계부 부근을 도시한 단면도.

도 16a~도 16c, 도 17a~도 17c, 도 18a~도 18c, 도 19a~도 19c 및 도 20은 도 14a에 도시된 구조의 제조 방법을 도시한 단면도.

도 21, 도 22는 도 14b에 도시된 구조의 제조 방법을 도시한 단면도.

도 23a, 도 23b, 도 24a, 도 24b, 도 25a, 도 25b 는 도 15a에 도시된 구조의 제조 방법을 도시한 단면도.

도 26은 도 15b에 도시된 구조의 제조 방법을 도시한 단면도.

도 27a, 도 27b는 각각 본 발명의 제3 실시 형태 및 그 변경예에 관한 반도체 장치의 경계부 부근을 도시한 단면도.

도 28a~도 28c는 각각 제3 실시 형태에 있어서의 제1, 제2 및 제 3 트랜지스터 영역의 게이트 전극을 연장 방향을 따라 도시한 단면도.

도 29a~도 29c, 도 30a~도 30c, 도 31a, 도 31b는 도 27a에 도시된 구조의 제조 방법을 도시한 단면도.

도 32a~도 32d, 도 33a~도 33c, 도 34a, 도 34b는 도 27b에 도시된 구조의 제조 방법을 도시한 단면도.

도 35는 본 발명의 제4 실시 형태에 관한 반도체 장치의 경계부 부근을 도시한 단면도.

도 36, 도 37은 각각 제4 실시 형태의 변경예에 관한 반도체 장치의 경계부 부근을 도시한 단면도.

도 38, 도 39는 각각 제4 실시 형태에 관한 반도체 장치의 NAND형 MONOS형 메모리 셀을 도시한 다른 등가 회로도.

도 40a~도 40h는 각각 도 37에 도시한 장치에 있어서, 메모리 셀 영역과 LV계 트랜지스터 영역 사이의 경계부로서 사용할 수 있는 구조를 도시한 단면도.

도 41a, 도 41b는 각각 제4 실시 형태의 NAND형 MONOS형 반도체 장치의 메모리 셀 영역 및 주변 트랜지스터 영역을 도시한 단면도.

도 42는 제4 실시 형태에 관한 반도체 장치의 NOR형 MONOS형 메모리 셀을 도시한 등가 회로도.

도 43, 도 44는 각각 제4 실시 형태에 관한 반도체 장치의 AND형 MONOS형 메모리를 도시한 다른 등가 회로도.

도 45a~도 45c, 도 46a~도 46c, 도 47a~도 47c 및 도 48a~도 48c는 도 35에 도시된 구조의 제조 방법을 도시한 단면도.

도 49는 본 발명의 제5 실시 형태에 관한 반도체 장치의 경계부 부근을 도시한 단면도.

도 50, 도 51은 각각 제5 실시 형태의 변경예에 관한 반도체 장치의 경계부 부근을 도시한 단면도.

도 52a~도 52h는 각각 도 51에 도시한 장치에 있어서, 메모리 셀 영역과 LV계 트랜지스터 영역 사이의 경계부로서 사용할 수 있는 구조를 도시한 단면도.

도 53a, 도 53b는 각각 제5 실시 형태의 NAND형 부유 게이트형 반도체 장치의 메모리 셀 영역 및 주변 트랜지스터 영역을 도시한 단면도.

도 54a~도 54c, 도 55a~도 55c, 도 56a~도 56c 및 도 57a~도 57c는 도 49에 도시된 구조의 제조 방법을 도시한 단면도.

도 58은 본 발명의 제6 실시 형태에 관한 반도체 장치의 경계부 부근을 도시한 단면도.

도 59a, 도 59b는 각각 제6 실시 형태의 AND형 MONOS형 반도체 장치의 메모리 셀 영역 및 주변 트랜지스터 영역을 도시한 단면도.

도 60a~도 60d는 종래의 트렌치형 소자 분리법을 도시한 단면도.

도 60e는 도 60d 중의 영역 TP를 확대하여 도시한 단면도.

도 61a~도 61d는 종래의 자기 정합 트렌치 소자 분리법을 도시한 단면도.

도 62a, 도 62b는 각각 도 61a~도 61d에 도시한 방법의 문제점을 설명하기 위한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 반도체 기판
2 : 제1 게이트 절연막
3 : 제2 게이트 절연막
4, 11 : 하측 전극층
5, 12 : 상측 전극층
6, 13 : 게이트 전극
7, 14 : 소스/드레인 확산층
8 : 제1 트랜지스터
9 : 소자 분리 영역
10 : 블록 부분
15 : 제2 트랜지스터
17 : 게이트 구조
BS : 경계부
TR1 : 제1 트랜지스터 영역
TR2 : 제2 트랜지스터 영역
발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상이한 막 재료 또는 막 두께의 복수의 게이트 절연막을 갖는 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 게이트 절연막의 분류가 이루어지는 반도체 장치 및 그 제조 방법에 관한 것이다.

전기적으로 기입 소거 가능한 불휘발성 반도체 기억 장치(EEPROM)의 하나로서, 실리콘 질화막중에 전하를 축적하는 MONOS형 EEPROM이 알려져 있다. MONOS는 Metal-Oxide-Nitride-Oxide-Semiconductor를 가리키며, 전형적으로는 금속-산화 실리콘막-질화 실리콘막-산화 실리콘막-반도체를 가리킨다. MONOS형 EEPROM에서는 메모리 셀의 게이트 절연막이 ONO 축적막인데 비하여, 주변 회로를 구성하는 트랜지스터는 실리콘 산화막을 게이트 절연막으로 하는 MOS 구조이다. 따라서, MONOS형 EEPROM의 제조에 있어서는 양자를 분류할 필요가 있다.

상이한 게이트 절연막을 갖는 트랜지스터를 분류하는 방법에 있어서는, 게이트 절연막의 신뢰성, 메모리 셀의 고성능화, 충분한 프로세스 마진의 확보라는 3가지 점을 만족시키는 것이 중요하다.

상이한 게이트 절연막을 갖는 트랜지스터를 분류하는 방법으로서 일본 공개특허공보 평8-330436호에 기재된 방법이 있다. 이 공지예에서는 LOCOS법에 의해 소자 분리를 형성한 후에, 막 두께가 상이한 2종류의 게이트 산화막 및 게이트 전극을 형성한다. 이 LOCOS법 대신에 트렌치형 소자 분리법이 최근 이용되고 있다. 트렌치형 소자 분리법은 LOCOS법과 비교하여, 미세한 소자 분리폭으로 양호한 소자 분리 내압(耐壓)을 실현할 수 있는 특징이 있다.

도 60a~도 60e에 도시한 트렌치형 소자 분리법을 이용해서 MONOS 메모리 셀과 MOS 주변 트랜지스터를 분류하는 방법을 설명한다. 여기에서는 앞의 공지예인 일본 공개특허공보 평8-330436호에 기재된 기술과 마찬가지로, 소자 분리 영역 형성후에 게이트 절연막과 게이트 전극을 형성한다. 그리고, 도면에 있어서, MC는 메모리 셀 영역, PTR는 주변 트랜지스터 영역을 나타낸다.

우선, 도 60a에 도시한 바와 같이, 반도체 기판(200)상에 소자 분리 영역(201)을 형성한다. 이어서, 도 60b에 도시한 바와 같이, 희생 산화막을 습식 에칭에 의해 소거하여, 주변 회로 트랜지스터의 게이트 절연막(202) 및 게이트 전극(203)을 형성한다. 그리고, 주변 회로 영역을 레지스트층(204)으로 덮는다.

이어서, 도 60c에 도시한 바와 같이, 메모리 셀 영역의 게이트 전극 및 게이트 산화막을 제거한다. 이어서, 반도체 기판(200) 전면에 메모리 셀의 게이트 절연막인 ONO막(205)을 퇴적한 후에, 메모리 셀 게이트 전극(206)을 퇴적한다. 계속해서 메모리 셀 영역을 레지스트층(207)으로 덮고, 주변 회로 영역에 있어서의 메모리 셀 게이트 전극(206) 및 ONO막(205)을 제거한다. 이어서, 도 60d에 도시한 바와 같이 레지스트층(207)을 제거한다. 이에 따라, 주변 MOS 트랜지스터와 MONOS 메모리 셀을 분류할 수 있다.

발명이 이루고자 하는 기술적 과제

그러나, 이 방법에는 다음과 같은 문제점이 있다. 제1 문제점은 ONO막의 불균일성에 관한 것이다. 소자 분리막은 평탄하지 않고 단차가 존재하기 때문에 ONO막을 균일한 막 두께, 막질로 퇴적시키기가 어렵다. 이 점은 메모리 셀의 프로그램 특성이나 데이터 보존 특성의 편차의 원인이 된다.

제2 문제점은 도 60d 중의 영역(TP)의 확대도인 도 60e에 도시한 바와 같이 기생 트랜지스터에 관한 것이다. 게이트 절연막 형성전의 습식 에칭시에 소자 분리단에서 소자 분리 트렌치의 매립 산화막의 일부가 에칭된다. 여기에 게이트 전극이 들어감으로써 기생 트랜지스터가 형성된다. 따라서, 메모리 셀, 주변 트랜지스터 모두 특성 편차의 원인이 된다.

본 종래예에서는 먼저 주변 트랜지스터, 이어서 메모리 셀 트랜지스터를 형성하였으나, 분류의 순서를 바꾸어도 이 문제는 해결되지 않는다. 이상의 과제는 소자 분리 영역 형성후에 게이트 절연막을 분류하는 것에 기인한다. 다음에 설명하는 종래예에서는 소자 분리 영역 형성에 앞서 게이트 절연막을 분류함으로써 이상과 같은 문제를 해결한다.

상기 과제를 해결하는 방법으로서, 예컨대 「1998 Symposium on VLSI Technology Digest of Technical Papers, pp.102-103, "A self-Aligned STI Process Integration for Low Cost and Highly Reliable 1Gbit Flash Memories", Y. Takeuchi et al.」에는 게이트 절연막과 게이트 전극 형성후에 트렌치 소자 분리를 형성하는 자기 정합 트렌치 소자 분리법이 기재되어 있다. 도 61a~도 61d를 이용하여 이 MONOS셀과 MOS 주변 트랜지스터를 분류하는 제조 방법의 공정을 설명한다.

우선, 도 61a에 도시한 바와 같이 웰, 채널 불순물을 주입하여, 메모리 셀용 웰(205), 주변 회로용 웰(206)을 형성한다. 이어서, ONO막(207)과 실리콘 산화막(208)을 분류하여 형성한다. 이어서, 폴리실리콘으로 이루어진 게이트 전극(209) 및 마스크용 실리콘 질화막(210)을 퇴적한다. 이어서, 도 61b에 도시한 바와 같이, 소자 분리 트렌치(211)를 반도체 기판(200) 중에 형성한다. 노출된 표면에 실리콘 산화막(212)을 퇴적하여 소자 분리 트렌치(211)를 매립한다.

이어서, 도 61c에 도시한 바와 같이, 마스크용 실리콘 질화막(210) 상표면이 노출될 때까지 실리콘 질화막(212)을 CMP(Chemical Mechanical Polishing) 방법으로 제거하여 표면을 평탄화한다. 이어서, 도 61d에 도시한 바와 같이 마스크용 실리콘 질화막(210)을 제거하여 텅스텐 실리사이드층(213)을 퇴적한다. 이어서, 메모리 셀 소자 분리 영역(214), 경계부 소자 분리 영역(215), 주변 회로 소자 분리 영역(216)을 형성하여 각 게이트 전극을 가공한다. 이 방법에서는 도 61e에 도시한 바와 같은 ONO막의 불균일성이나 소자 분리 산화막이 에칭된다는 문제가 해결된다.

발명의 구성 및 작용

본 발명의 한 시점에 의하면, 반도체 장치가 제공되고, 이것은 제1 및 제2 영역과 상기 제1 및 제2 영역 사이에서 양 영역에 접하여 배치된 경계부를 포함하는 주표면을 갖는 반도체 기판과, 상기 제1 영역내에서 상기 주표면상에 형성된 제1 게이트 절연막과, 상기 제1 게이트 절연막상에 형성된 제1 게이트 전극과, 상기 제1 게이트 전극을 사이에 두고 상기 주표면내에 형성된 1쌍의 제1 확산층과, 상기 제2 영역내에서 상기 주표면상에 형성된 제2 게이트 절연막-상기 제2 게이트 절연막은 상기 제1 게이트 절연막과 상이한 막 재료 또는 막 두께를 가짐-과, 상기 제2 게이트 절연막상에 형성된 제2 게이트 전극과, 상기 제2 게이트 전극을 사이에 두고 상기 주표면내에 형성된 1쌍의 제2 확산층과, 상기 경계부내에 형성된 소자 분리 영역-상기 소자 분리 영역은 상기 주표면내에 형성된 트랜치와, 상기 트랜치내에 매립된 부분 및 상기 주표면에서 상측으로 돌출하는 부분을 갖는 절연층을 포함하며, 상기 트랜치의 저부는 부분에 따라 깊이가 상이함-을 구비한다.

본 발명자들은 본 발명의 개발 과정에 있어서, 도 61a~도 61d를 참조하여 설명한 바와 같은 반도체 장치 및 그 제조 방법의 문제점에 대해 연구하였다. 그 결과, 본 발명자들은 다음에 설명하는 바와 같은 지견을 얻었다.

도 61d에 도시한 반도체 장치에 있어서는, MONOS 트랜지스터와 MOS 트랜지스터의 경계부 소자 분리 영역(215)의 트랜치 소자 분리 깊이는, MONOS 영역 소자 분리 영역(214)의 트랜치 깊이 및 MOS 영역 소자 분리 영역(216)의 트랜치 깊이와 동일하다. 한편, 경계부 소자 분리 영역(215)에서의 트랜치 폭은 다른 트랜지스터 영역의 소자 분리 영역(214, 216) 트랜치 폭과 비교해서 넓다.

트랜치 소자 분리 영역에서는 도 61b와 같이 트랜치를 산화막으로 매립한 후, 도 61c와 같이 CMP에 의해 매립 산화막을 평탄화한다. 그러나, 경계부의 트랜치 폭이 넓기 때문에 도 62a, 도 62b에 도시한 바와 같은 문제가 발생된다.

제1 문제로서 트랜치의 매립성을 들 수 있다. 경계부의 트랜치는 폭이 넓기 때문에 매립 산화막의 경계가 얇은 경우, 도 62a에 도시한 바와 같이 경계부의 트랜치 중앙부에 매립이 불충분한 영역(Q)이 형성된다. 후공정에서 습식 에칭을 사용한 경우, 이 매립이 불충분한 영역에서 크게 에칭되어 매립성 불량으로 된다. 이 문제를 해결하기 위해서는 매립 산화막을 두껍게 퇴적할 필요가 있는데, 산화막의 퇴적 뿐만 아니라 후의 CMP 공정에서의 폴리시(polish)량도 증대시키게 되기 때문에 프로세스 비용을 증대시킨다.

제2 문제로서 CMP의 균일성을 들 수 있다. CMP의 특성으로서 넓은 스페이스부가 크게 깎이는 디싱(Dishing)이 있다. 경계부의 트랜치는 폭이 넓기 때문에 디싱이 일어나기 쉽다. 이 경우, 도 62b에 도시한 바와 같이 디싱이 트랜지스터 영역에 영향을 미쳐서 게이트 전극 형상을 변형시키기 때문에, 프로세스 마진 및 수율을 저하시킨다.

이상의 문제는, 모두 경계부의 트랜치가, 트랜지스터 영역과 깊이는 동일함에도 불구하고 폭이 넓은 데 기인한다. 이 문제를 해결하고자 하여 경계부의 트랜치 폭을 좁게 하면 소자 분리 내압이 저하된다. 이 경우, 웰 사이의 내압이 불충분해지기 때문에 이 방법으로 문제를 해결하기는 어렵다. 이로 인해, 상이한 2종류 이상의 게이트 절연막을 갖는 반도체 장치에 관해서는 신뢰성이 높고, 충분한 프로세스 마진과 디바이스 성능을 양립시키는 장치 구조 및 제조 방법이 필요

하게 된다.

이하에, 이와 같은 지면에 기초하여 구성된 본 발명의 실시 형태에 대해 도면을 참조하여 설명한다. 그리고, 이하의 설명에서 거의 동일한 기능 및 구성을 갖는 구성 요소에 대해서는 동일 부호를 붙이고 중복 설명은 필요한 경우에만 한다.

(제1 실시 형태)

도 1a는 제1 실시 형태에 관한 반도체 장치의 경계부 부근을 도시한 단면도이다.

도 1b, 도 2a, 도 2b는 각각 제1 실시 형태의 변경예에 관한 반도체 장치의 경계부 부근을 도시한 단면도이다. 본 실시 형태의 특징적인 점은, 게이트 절연막의 막중, 예컨대 막 재료나 막 두께가 상이한 2종류의 트랜지스터(예컨대, 제1 및 제2 트랜지스터 영역(TR1, TR2))가 동일 반도체 기판상에 존재하고, 양자의 경계부(BS)가, 소자 분리 영역의 형상 또는 전극의 구조에 관해 양자의 이들(제1 및 제2 트랜지스터 영역(TR1, TR2)에서의 소자 분리부의 형상 또는 전극의 구조)과 상이한 것을 포함하는 점이다. 구체적으로 경계부(BS)에는 부분에 따라 깊이가 다른 트렌치형 소자 분리 영역 또는 부분에 따라 두께가 다른 전극 구조가 형성된다.

도 1a에 도시한 반도체 기억 장치는, 반도체 기판(1)상에 배치된 제1 및 제2 트랜지스터 영역(TR1, TR2) 및 이들 사이에 끼워져서 양자에 접하는 경계부(BS)를 갖는다. 제1 트랜지스터 영역(TR1)이 고내압계 트랜지스터 영역인 경우, 반도체 기판(1)상에 형성되는 게이트 절연막(2)은 그 두께가 10nm~40nm 정도인 실리콘 산화막으로 형성된다. 제2 트랜지스터 영역(TR2)이 저전압계 트랜지스터 영역인 경우, 반도체 기판(1)상에 형성되는 게이트 절연막(3)은 그 두께가 1nm~10nm 정도인 실리콘 산화막으로 형성된다. 제2 트랜지스터 영역(TR2)이 메모리 셀 영역인 경우, 게이트 절연막(3)은 그 두께가 1nm~10nm 정도인 실리콘 산화막 또는 그 두께가 10nm~50nm 정도인 ONO막으로 형성된다.

도 1a의 장치에서는, 상술한 3종류의 트랜지스터 영역 중 적어도 2개를 서로 인접시켜, 각각의 게이트 절연막의 종류 또는 게이트 절연막의 두께를 달리해서 배치한다. 그리고, 반도체 기판(1)은 그 안에 반도체 기판과 역도전형인 웰이 표면 부근에 형성되어 있어도 된다. 그리고 역도전형 웰상에 추가로 반도체 기판과 동일한 도전형인 별도의 웰이 형성되어 있어도 된다(이하 동일).

제1 트랜지스터 영역(TR1)에서는, 게이트 절연막(2)상에 하측 전극층(4)이 형성되고, 그 위에 상측 전극층(5)이 형성되어 제1 게이트 전극(6)이 형성된다. 반도체 기판(1)중에는 제1 게이트 전극(6)을 마스크로 하여 주입된 1쌍의 소스/드레인 확산층(7)이 형성된다. 제1 게이트 전극(6)과 소스/드레인 확산층(7)이 제1 트랜지스터(8)를 형성한다. 하측 전극층(4) 및 상측 전극층(5)에는 모두 폴리실리콘층 등이 사용된다.

도 1a에 도시한 경계부(BS)에는 트렌치형 소자 분리 영역(9)이 형성된다. 소자 분리 영역(9)의 트렌치의 저부에는 위로 볼록해진 볼록 부분(10)을 갖는 단차가 형성되어 트렌치는 부분적으로 깊이가 다르다. 제1 및 제2 트랜지스터 영역(TR1, TR2)을 연결하는 방향에서의 볼록 부분(10)의 폭은 100nm~10000nm 정도, 바람직하게는 100nm~1000nm 정도이다. 트렌치 저부의 깊은 부분으로부터의 볼록 부분(10)의 높이는 10nm~300nm 정도, 바람직하게는 30nm~100nm 정도이다. 이 높이는 인접하는 제1 및 제2 트랜지스터 영역(TR1, TR2)에서의 게이트 전극 재료의 막 두께에 의존해서 변화한다. 또한, 소자 분리 영역(9) 저부의 위로 볼록해진 부분(10)의 폭은 제조 공정에서의 리소그래피의 맞춤 어긋남을 고려하여 부여되어 있으며, 예컨대 100nm~10000nm 정도이다.

경계부(BS)에 인접한 제2 트랜지스터 영역(TR2)에서는, 게이트 절연막(3)상에 하측 전극층(11)이 형성되고, 그 위

에 상측 전극층(12)이 형성되어 제2 게이트 전극(13)이 형성된다. 반도체 기판(1)중에는 제2 게이트 전극(13)을 마스크로 하여 주입된 1쌍의 소스/드레인 확산층(14)이 형성된다. 제2 게이트 전극(13)과 소스/드레인 확산층(14)이 제2 트랜지스터(15)를 형성한다. 하측 전극층(11) 및 상측 전극층(12)에는 모두 폴리실리콘층 등이 사용된다. 또한, 좌우의 트랜지스터(8, 15)와 소자 분리 영역(9) 사이에 별도의 소자 분리 영역을 형성할 수도 있다.

도 1b에 도시한 반도체 기억 장치에서는, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 구성이 도 1a와 동일하고, 경계부(BS)에서의 구성이 도 1a에 도시한 구성과 상이하다. 소자 분리 영역(9)의 주위에서 하측 전극층(4)이 제1 게이트 절연막(2)상에 형성되고, 하측 전극층(11)이 제2 게이트 절연막(3)상에 형성된다. 그리고, 소자 분리 영역(9) 및 그 주위의 하측 전극층(4, 11)상에 상측 전극층(16)이 형성되어 게이트 구조(17)가 형성된다.

이 구성에 있어서, 게이트 구조(17)는 제1 및 제2 트랜지스터 영역(TR1, TR2)의 게이트 전극(6, 13)과 전기적으로 절연되어 있는 것이 바람직하다. 또한, 좌우의 트랜지스터(8, 15)와 소자 분리 영역(9) 사이에 별도의 소자 분리 영역을 형성할 수도 있다.

도 1a, 도 1b에 도시한 구성에서는, 경계부(BS)에서 소자 분리 영역(9)의 트렌치의 저부에 단차가 있고, 특히 위로 볼록해져 있는 볼록부(10)가 존재하는 데 특징이 있다. 그리고, 소자 분리 영역(9)의 트렌치의 깊이도 제1 트랜지스터 영역(TR1)측 부분과 제2 트랜지스터 영역(TR2)측 부분에서 상이하다.

도 1a, 도 1b에 도시한 구조에서는 소자 분리 영역(9)의 중앙에서 소자 분리 깊이가 알려져 있기 때문에, 양호한 매립성을 얻을 수 있어 제조시의 수율이 향상된다. 그 중 한 이유는 반도체 기판중에 형성된 소자 분리 트렌치를 절연물로 매립하는 공정에 있어서, 매립 앰프펙트비가 작아져서 매립 특성이 향상되기 때문이다. 다른 이유는 소자 분리 트렌치에 절연물을 매립하는 공정에 있어서, 소자 분리 중앙부 상표면에서 오목부가 형성되는 정도가 감소하고, 절연물 상표면을 소정 높이가 될 때까지 평탄화하여 제거할 때의 디싱을 방지할 수 있기 때문이다.

그리고, 도 1b에 도시한 소자 분리 영역(9)상의 게이트 구조(17)는, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 게이트 구조와 동일하기 때문에 가공이 용이하다.

도 2a에 도시한 반도체 기억 장치에서는, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 구성이 도 1a, 도 1b와 동일하고, 경계부(BS)에서의 영역이 도 1a, 도 1b에 도시한 구성과 상이하다. 경계부(BS)에 있어서, 제1 트랜지스터 영역(TR1)측에서 중앙까지는 제1 게이트 절연막(2)이 형성되고, 제2 트랜지스터 영역(TR2)측에서 중앙까지는 제2 게이트 절연막(3)이 형성된다. 경계부(BS)에 있어서, 제1 게이트 절연막(2)의 일부 상면 및 제2 게이트 절연막(3)의 일부 상면에는 하측 전극층(4)과 동일 재료의 전극층(20)이 형성된다. 이 전극층(20)의 제2 트랜지스터 영역(TR2)측의 측면에는 제2 게이트 절연막(3)과 동일 재료로 이루어진 측벽 절연막(21)이 형성된다. 경계부(BS)에 있어서의 전극층(20)의 높이는 제1 트랜지스터 영역(TR1)에서의 하측 전극층(4) 및 제2 트랜지스터 영역(TR2)에서의 하측 전극층(11)의 높이보다 낮다.

소자 분리 영역은 웰 분리 등에서 필요한 경우, 제1 및 제2 트랜지스터 영역(TR1, TR2)과 경계부(BS) 사이에 형성된다.

이 형상에서는 경계부(BS)에 트랜지스터 영역에 있어서의 게이트 전극층의 일부를 남기도록 가공함으로써, 트랜지스터 영역의 게이트 가공 마진이 향상된다. 특히, 트랜지스터 영역에 미세한 메모리 셀 트랜지스터 등이 형성되는 경우에는, 그 게이트 가공 마진 향상 효과가 현저하다. 또한, 도 1a, 도 1b에 도시한 바와 같은 특수 형상으로 되는 소자 분리 영역을 작성하지 않기 때문에 가공이 용이하다.

그리고, 경계부(BS)에서 반도체 기판이 에칭되지 않고, 경계부(BS)의 전극층을 제거하지 않았다. 따라서, 에칭해야 할 전극층의 막 두께도 트랜지스터의 게이트 전극막 두께와 동일하기 때문에, 경계부(BS)의 가공에 기인하는 수율 저하가 없다.

도 2b에 도시한 반도체 기억 장치에서는, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 구성이 도 1a, 도 1b와 동일하고, 경계부(BS)에서의 구성이 도 1a, 도 1b에 도시한 구성과 상이하다. 도 2a의 구조와 마찬가지로, 경계부(BS)에 있어서 제1 트랜지스터 영역(TR1)측에서 중앙까지 제1 게이트 절연막(2)이 형성되고, 제2 트랜지스터 영역(TR2)측에서 중앙까지 제2 게이트 절연막(3)이 형성된다. 경계부(BS)에 있어서, 제1 게이트 절연막(2)상에 하측 전극층(4)과 동일 재료로 동일 막 두께의 제1 전극층(22)이 형성된다. 또한, 경계부(BS)에 있어서 제2 게이트 절연막(3)상에 제2 전극층(23)의 수평부분이 형성되고, 제1 전극층(22)과는 절연막(24)을 통해 인접한다. 이 제2 전극층(23)은 하측 전극층(11)과 동일 재료, 동일 막 두께를 갖는다.

절연막(24)은 그 막 두께가 제2 게이트 절연막(3)과 동일하다. 경계부(BS)에 있어서 제2 전극층(23)은 그 수평부상에 쌓아 올려진 수직부와, 수직부에서 제1 트랜지스터 영역(TR1)측으로 연장되는 적층부를 갖는다. 즉, 제1 전극층(22)의 일부상에 절연막(24)을 사이에 두고 제2 전극층(23)이 적층된다. 그리고, 제1 및 제2 전극층(22, 23)상에 적층 전극층(25)이 형성된다. 제1 전극층(22), 제2 전극층(23), 절연막(24) 및 적층 전극층(25)에 의해 게이트 구조(18)가 형성된다. 이러한 구조이기 때문에, 경계부(BS)에서는 게이트 구조(18)의 높이는 제1 및 제2 트랜지스터 영역(TR1, TR2)에 형성된 트랜지스터의 높이보다 높게 형성된다.

도 2b에 도시한 반도체 기억 장치는, 이와 같이 경계부(BS)에서 게이트 구조가 적층 구조로 되어 있는 부분이 존재하는 데 특징이 있다. 이 부분에서는 반도체 기판(1)상에 제1 게이트 절연막(2)과, 하측 전극층(4)과 동일한 막 두께, 조성을 갖는 제1 전극층(22)이 적층된다. 또한, 그 위에 제2 게이트 절연막과 동일한 막 두께, 조성을 갖는 절연막(24)을 사이에 두고 상측 전극층(11)과 동일한 막 두께, 조성을 갖는 제2 전극층(23)이 적층된다. 또한, 전기적으로 접속된 제1 및 제2 전극층(22, 23)의 아래에 제1 및 제2 게이트 절연막(2, 3)의 양측이 존재한다.

도 2b에 도시한 구조에서는 게이트 구조(18)의 폭은, 예컨대 100nm~10000nm 정도, 바람직하게는 500nm~1000nm 정도이다. 게이트 구조(18)의 높이는 경계부(BS)의 가장 높은 부분에서 제2 트랜지스터 영역(TR2)에 있어서의 제2 트랜지스터(15)의 높이에 하측 전극층(4)의 높이와 제1 게이트 절연막(2)의 높이를 더한 값이 된다.

소자 분리 영역은 웰 분리 등에서 필요한 경우, 제1 및 제2 트랜지스터 영역(TR1, TR2)과 경계부(BS) 사이에 형성된다.

이러한 구조를 채택함으로써, 동일 반도체 기판상에 적은 공정수로 복수의 트랜지스터를 형성할 수 있게 된다.

또한, 경계부(BS)에서 반도체 기판이 에칭되지 않고, 경계부(BS)의 적층 게이트를 가공하지 않는다. 따라서, 에칭해야 할 전극층의 막 두께도 트랜지스터의 게이트 전극막 두께와 동일하기 때문에, 경계부(BS)의 가공에 기인하는 수율 저하가 없다. 특히 도 2b에 도시된 구조의 경우, 경계부(BS)의 적층 구조의 게이트 전극은 에칭할 필요가 없으므로 수율이 향상된다.

도 3a, 도 3b는 본 실시 형태에 있어서의 제1 및 제2 트랜지스터 영역(TR1, TR2)을 각각의 게이트 전극의 연장 방향을 따라 도시한 단면도이다.

도 3a에 도시한 바와 같이, 제1 트랜지스터 영역(TR1)에서는 복수의 소자 분리 영역(26)이 반도체 기판(1)중에 형성된다. 소자 분리 영역(26) 사이에 하측 전극층(4)이 형성된다. 하측 전극층(4)상에는 상측 전극층(5)이 형성된다. 상측 전극층(5)상에는 도 1a, 도 1b 및 도 2a, 도 2b에 있어서 도시한 생략하는 층간 절연막(27)이 형성된다.

도 3b에 도시한 바와 같이, 제2 트랜지스터 영역(TR2)에서는 복수의 소자 분리 영역(26)이 반도체 기판(1)층에 형성된다. 소자 분리 영역(26) 사이에 하측 전극층(11)이 형성된다. 하측 전극층(11)상에는 상측 전극층(12)이 형성된다. 이 상측 전극층(12)상에는 도 1a, 도 1b 및 도 2a, 도 2b에 있어서 도시를 생략하는 층간 절연막(27)이 형성된다.

도 3a, 도 3b에 도시한 바와 같이, 본 실시 형태에 의하면, 소자 분리 영역이 게이트 전극에 대해 자기 정합적으로 형성된다. 따라서, 게이트 전극이 소자 분리단에서 종래 기술에서 설명한 바와 같이 게이트 절연막 측면으로 들어가는 일이 없다. 이에 따라, 소자 분리 영역단에 기생 트랜지스터가 형성되는 것을 방지하여 트랜지스터를 고성능화할 수 있다.

또한 본 실시 형태에 의하면, 소자 분리 트렌치 형성에 앞서 게이트 절연막을 형성하고, 게이트 전극 및 게이트 절연막에 대해 자기 정합적으로 소자 분리 트렌치를 형성하는 프로세스(이하, 자기 정합 STI 프로세스라 함)를 채택한다. 따라서, 소자 분리 영역 형성을 더미 절연막이나 더미 게이트의 퇴적이나 제거 공정이 없기 때문에, 공정수가 적어도 된다. 또한, 본 실시 형태에 있어서의 제조 공정에서는 게이트 절연막상에 포토레지스트를 직접 도포하는 공정이 없기 때문에 게이트 절연막의 신뢰성을 향상시킬 수 있게 된다.

이어서, 본 실시 형태에 관한 반도체 장치의 제조 방법의 일례를 설명한다. 우선, 도 1a에 도시된 구조의 제조 방법을 도 4a 및 도 8을 이용하여 설명한다.

도 4a에 도시한 바와 같이, 반도체 기판(1)의 상표면에 회생 산화막(도시 생략)을 형성한다. 이어서, 웰 불순물이나 채널 불순물을 필요에 따라 주입하고, 그 후 회생 산화막을 제거한다. 계속해서, 반도체 기판(1)상에 실리콘 산화막이나 실리콘 질화막 등의 제1 게이트 절연막(2) 및 다결정 실리콘 등의 하측 전극층(4)을 형성한다.

이어서, 도 4b에 도시한 바와 같이, 제1 트랜지스터 영역(TR1) 및 여기에서 경계부(BS)의 중앙까지를 포토레지스트층(30)으로 덮고, 그 외 영역의 게이트 전극층 및 게이트 절연막을 제거한다. 제거 방법은 습식 에칭 등의 등방성 에칭이나 RIE 등의 이방성 에칭 중 어느 것이어도 된다.

이어서, 도 4c에 도시한 바와 같이, 포토레지스트층(30)을 제거한 후, 반도체 기판(1) 전면에 실리콘 산화막이나 실리콘 질화막 등의 제2 게이트 절연막(3) 및 다결정 실리콘 등의 하측 전극층(11)을 형성한다. 이 때, 제1 트랜지스터 영역(TR1)에서는, 하측 전극층(4)상에 제2 게이트 절연막(3) 및 하측 전극층(11)이 형성된 적층 구조로 된다. 여기서, 제1 트랜지스터 영역(TR1)에서의 하측 전극층(4)과 제2 트랜지스터 영역(TR2)에서의 하측 전극층(11)은 상이한 물질 및 막 두께를 사용해도 된다. 그러나, 이들이 동일 물질 및 동일 막 두께이면 후공정에서 게이트 전극을 동시에 에칭하기가 쉽다.

이어서, 도 5a에 도시한 바와 같이, 제2 트랜지스터 영역(TR2) 및 여기에서 경계부(BS)의 중앙까지를 포토레지스트층(31)으로 덮고, 그 외 영역의 게이트 전극층 및 게이트 절연막을 제거한다. 제거 방법은 습식 에칭 등의 등방성 에칭이나 RIE 등의 이방성 에칭 중 어느 것이어도 된다. 이 때, 포토레지스트층(31)의 일부가 남겨진 하측 전극층(4)의 단부에 걸리게 된다. 맞춤 어긋남을 고려하여 포토레지스트층(30, 31)의 단부 위치가 겹치는 경우와 겹치지 않는 경우가 있는데, 여기에서는 겹치는 경우를 예로 들어 설명한다. 즉, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 분류의 경계부(BS)에서는 게이트 전극이 적층 구조의 상태로 남도록 한다.

이어서, 도 5b에 도시한 바와 같이, 포토레지스트층(31)을 제거한 후, 제1 마스크층(32) 및 제2 마스크층(33)을 퇴적한다. 제1 마스크층(32)에는 에컨대 실리콘 질화막을 사용하고, 제2 마스크층(33)에는 에컨대 실리콘 산화막을 사용한다. 이어서, 도 5c에 도시한 바와 같이, 소자 분리 영역의 형성을 위한 포토레지스트층(34)을 제2 마스크층(33)상에 퇴적하여 소자 분리 패턴을 형성한다. 포토레지스트층(34)은 소자 분리 영역이 형성되지 않은 부분의 상측에 배치된다.

이어서, 도 6a에 도시한 바와 같이, 제1 마스크층(32), 제2 마스크층(33)을 이방성 에칭에 의해 제거하여 경계부(BS)의 소자 분리 영역에 대응하는 부분의 하측 전극층(4, 11)을 노출시킨다. 이어서, 도 6b에 도시한 바와 같이, 제2 마스크층(33)에서 노출된 하측 전극층(4, 11)을 이방성 에칭에 의해 제거한다.

이 때, 분류의 경계부(BS)의 소자 분리 영역에 대응하는 부분에서는, 에칭전에 2개의 하측 전극층이 적층되어 있기 때문에, 에칭되는 것은 하측 전극층(11) 뿐이다. 하측 전극층(4)은 전극층(20)으로서 반도체 기판(1)상에 남는다. 또한, 경계부(BS)에 있어서 제2 게이트 절연막(3)이 측벽 절연막(21)으로서 남는다. 또한, 이 측벽 절연막(21)에서 제2 트랜지스터 영역(TR2)측을 향해, 하측 전극층(11)이 경계부(BS)에서 멀어짐에 따라 막 두께가 감소하도록 잔막(35)으로서 남는다.

이어서, 도 6c에 도시한 바와 같이, 소자 분리 영역 형성을 위해 반도체 기판(1)을 에칭한다. 소자 분리 영역으로서 형성되는 반도체 기판(1)중의 트렌치(36)의 깊이는, 예컨대 50nm~300nm 정도, 바람직하게는 150nm~250nm 정도이다. 분류의 경계부(BS)에서 도 6b에 도시한 전극층(20), 절연막(21) 및 잔막(35)으로 이루어진 단차로 인해, 트렌치(36)의 저부에 볼록부(10)가 형성된다. 이 볼록부(10)의 단차량은 도 6b에서 남은 전극층(20)의 막 두께와 에칭의 조건에 의존하는데, 예컨대 10nm~300nm 정도, 바람직하게는 30nm~100nm 정도이다.

또한, 트렌치(36) 저부의 깊이도 제1 트랜지스터 영역(TR1)측 부분과 제2 트랜지스터 영역(TR2)측 부분에서 다르다. 이것은, 제1 게이트 절연막(2)과 제2 게이트 절연막(3)의 막 두께의 차이를 반영하여 게이트 절연막이 얇은 부분일수록 홈부의 깊이가 깊어진다. 여기에서는 제1 트랜지스터 영역(TR1)측 트렌치(36) 저부의 깊이가, 제2 트랜지스터 영역(TR2)측 트렌치(36) 저부의 깊이보다 5nm~50nm 정도, 바람직하게는 10nm~30nm 정도 만큼 깊게 형성된다. 이것은 제1 게이트 절연막(2) 편이 제2 게이트 절연막(3)보다 5nm~50nm 정도, 바람직하게는 10nm~30nm 정도 만큼 막 두께가 두껍기 때문이다. 이 때, 제1 및 제2 하측 전극층(4, 11)에 대해 자기 정합적으로 제1 및 제2 트랜지스터 영역(TR1, TR2)내의 반도체 기판(1)을 에칭하여 제1 및 제2 트랜지스터 영역(TR1, TR2)내에 소자 분리 영역(26)(도 3a, 도 3b 참조)을 위한 트렌치를 동시에 형성한다.

이어서, 도 7a에 도시한 바와 같이, 실리콘 산화막 등의 절연물(37)을 경계부(BS)내의 트렌치(36) 및 제1 및 제2 트랜지스터 영역(TR1, TR2)내의 트렌치에 매립함과 동시에 제2 마스크층(3)상에 퇴적한다. 경계부(BS)에서는 소자 분리 깊이가 얕게 되어 있기 때문에 매립성은 양호하다. 이어서, 도 7b에 도시한 바와 같이, CMP 등의 방법으로 제1 마스크층(32)을 스톱퍼로 하여 절연물(37)을 에칭한다. 에치 백후에는 절연물(37)의 상부는 거의 평탄해진다.

이어서, 도 7c에 도시한 바와 같이, 제1 마스크층(32)을 제거한 후, 반도체 기판(1)상의 노출면의 전면 상측 전극층(5, 12)을 퇴적한다. 상측 전극층(5, 12)은 다결정 실리콘 또는 다결정 실리콘과 금속 혹은 실리콘과 금속 화합물의 퇴적막 또는 금속 혹은 실리콘과 금속 화합물의 단층막으로 이루어진다. 이어서, 도 8에 도시한 바와 같이, 게이트 전극층을 가공하기 위한 포토레지스트층(38)을 퇴적하여 패턴을 형성한다. 이 때, 경계부(BS)에서는 포토레지스트층(38)을 남기지 않고, 따라서 후공정에서 경계부(BS)의 게이트 전극층은 제거된다.

이어서, 도 1a에 도시한 바와 같이, 포토레지스트층(38)을 마스크로 하여, 게이트 전극층을 이방성 에칭하여 제1 게이트 전극(6), 제2 게이트 전극(13) 및 소자 분리 영역(9)을 형성한다. 그 후, 후산화 등으로 가공의 대미지를 회복시킨다. 이어서, 제1 게이트 전극(6) 및 제2 게이트 전극(13)을 마스크로 하고 반도체 기판(1)중에 확산층 불순물을 주입하여 소스/드레인 확산층(7, 14)을 형성한다. 그리고, 게이트 전극층상에 실리콘 질화막이나 실리콘 산화막 등의 마스크층을 퇴적시키고, 이것을 마스크로 하여 게이트 전극층을 가공해도 된다.

그 후, 도시하지는 않았으나 층간 절연막, 콘택트 플러그, 배선 등을 형성해서 반도체 장치를 완성시킨다. 이와 같이 경계부(BS)에 소자 분리 영역이 형성되는 경우에는 도 1a와 같이 소자 분리 영역의 저부에 단차가 남는다.

이어서, 도 1b에 도시된 구조의 제조 방법을 설명한다. 도 7c의 공정까지는 도 1a의 구조의 제조 방법과 그 제조 방법은 동일하다.

이어서, 도 9에 도시한 바와 같이, 게이트 전극층을 가공하기 위한 포토레지스트층(38) 및 소자 분리상의 전극층을 형성하기 위한 포토레지스트층(39)을 퇴적하여 패턴을 형성한다. 여기서, 포토레지스트층(39)은, 도 9에 있어서의 좌우 방향의 폭이 절연물(37)의 좌우방향의 폭보다 커서 절연물(37)의 측면에 게이트 전극층이 에칭후에 남음에도 불구하고 충분한 폭을 갖도록 형성된다.

이어서, 도 1b에 도시한 바와 같이, 포토레지스트층(38, 39)을 마스크로 하여, 게이트 전극층을 이방성 에칭하여 제1 게이트 전극(6), 제2 게이트 전극(13), 게이트 구조(17) 및 소자 분리 영역(9)을 형성한다. 그 후, 후산화 등으로 가공의 대미지를 회복시킨다. 이어서, 제1 게이트 전극(6) 및 제2 게이트 전극(13)을 마스크로 하여, 반도체 기판(1)중에 확산층 불순물을 주입하여 소스/드레인 확산층(7, 14)을 형성한다. 그리고, 게이트 전극층상에 실리콘 질화막이나 실리콘 산화막 등의 마스크층을 퇴적시키고, 이것을 마스크로 하여 게이트 전극층을 가공해도 된다.

그 후, 도시하지 않았으나 층간 절연막, 콘택트 플러그, 배선 등을 형성해서 반도체 장치를 완성시킨다. 이와 같이 경계부(BS)가 소자 분리 영역으로 되어 있는 경우에는 도 1b와 같이 소자 분리 영역의 저부에 단차가 남는다

이어서, 도 2a에 도시된 구조의 제조 방법을 설명한다. 도 5b의 공정까지는 도 1a의 구조의 제조 방법과 그 제조 방법은 동일하다.

이어서, 도 10a에 도시한 바와 같이, 소자 분리 영역 형성을 위한 포토레지스트층(40)을 제2 마스크층(33)상에 피복한다. 이와 같이 분류의 경계부(BS)에 포토레지스트를 남기고, 소자 분리 영역을 형성하지 않게 된다. 제2 마스크층(33)을 이방성 에칭한 후, 도 10b에 도시한 바와 같이 포토레지스트층(40)을 제거하여 제2 마스크층(33)을 노출시킨다. 이 때, 도시하지는 않았으나 제1 및 제2 트랜지스터 영역(TR1, TR2)내에서 제2 마스크층(33)이 에칭되어 있는 부분이 있다.

이어서, 앞의 도 6b~도 7b와 동일한 공정을 거쳐, 제1 및 제2 트랜지스터 영역(TR1, TR2)내에 소자 분리 영역(26)(도 3a, 도 3b 참조)을 형성한다. 이 때의 경계부(BS)의 형상을 도 11a에 도시한다. 이어서, 도 11b에 도시한 바와 같이, 제1 마스크층(32)을 제거한 후에 노출된 하측 전극층(4, 11)상에 상측 전극층(5, 12)을 형성한다. 이와 같이 경계부(BS)를 레지스트로 덮었기 때문에, 게이트 전극층이 적층 구조의 상태로 남는다.

이어서, 도 12a에 도시한 바와 같이, 게이트 전극층을 가공하기 위한 포토레지스트층(41)을 퇴적하여 패턴을 형성한다. 이어서, 도 12b에 도시한 바와 같이, 포토레지스트층(41)을 마스크로 하여, 게이트 전극층을 이방성 에칭하여 제1 게이트 전극(6), 제2 게이트 전극(13)을 형성한다. 그 후, 후산화 등으로 가공의 대미지를 회복시킨다. 이어서, 제1 게이트 전극(6) 및 제2 게이트 전극(13)을 마스크로 하여, 반도체 기판(1)중에 확산층 불순물을 주입하여 소스/드레인 확산층(7, 14) 및 경계부(BS)에서의 확산층(42)을 형성한다. 그리고, 게이트 전극층상에 실리콘 질화막이나 실리콘 산화막 등의 마스크층을 퇴적시키고, 이것을 마스크로 하여 게이트 전극층을 가공해도 된다.

그 후, 도시하지는 않았으나 층간 절연막, 콘택트 플러그, 배선 등을 형성해서 반도체 장치를 완성시킨다. 이와 같이 경계부(BS)에 소자 분리 영역이 없고 게이트 전극층이 제거된 경우에는 도 12b에 도시한 바와 같은 형상이 된다.

그러나, 경계부(BS)는 게이트 전극층이 적층 구조로 되어 있기 때문에 에칭 잔류가 발생한 경우에는 도 2a의 형상이 된다. 즉, 제1 게이트 전극(6), 제2 게이트 전극(13), 전극층(20) 및 측벽 절연막(21)을 마스크로 하여, 반도체 기판(1)중에 확산층 불순물을 주입하여 소스/드레인 확산층(7, 14)을 형성한다. 이 경우에도 게이트 전극의 쇼트 등의 문제는 전혀 없다. 또한, 경계부(BS)의 게이트 전극을 완전히 제거하는 경우보다 에칭 시간을 단축할 수 있다. 또한, 에칭 조건을 트랜지스터 영역에만 맞춰 최적화하면 되므로 층 가공 마진은 오히려 향상된다.

이어서, 도 2b에 도시된 구조의 제조 방법을 설명한다. 도 11b의 공정까지는 도 2a의 구조의 제조 방법과 그 제조 방법은 동일하다.

이어서, 도 13에 도시한 바와 같이, 게이트 전극층을 가공하기 위한 포토레지스트층(41) 및 경계부(BS)의 게이트 구조(18)를 형성하기 위한 포토레지스트층(43)을 퇴적하여 패턴을 형성한다. 이어서, 도 2b에 도시한 바와 같이, 포토레지스트층(41, 43)을 마스크로 하여, 게이트 전극층을 이방성 에칭하여 제1 게이트 전극(6), 제2 게이트 전극(13) 및 게이트 구조(18)를 형성한다. 그 후, 후산화 등으로 가공의 대미지를 회복시킨다. 이어서, 제1 게이트 전극(6), 제2 게이트 전극(13) 및 게이트 구조(18)를 마스크로 하여, 반도체 기판(1)중에 확산층 불순물을 주입하여 소스/드레인 확산층(7, 14)을 형성한다. 그리고, 게이트 전극층상에 실리콘 질화막이나 실리콘 산화막 등의 마스크층을 퇴적시키고, 이것을 마스크로 하여 게이트 전극층을 가공해도 된다.

그 후, 도시하지는 않았으나 층간 절연막, 콘택트 플러그, 배선 등을 형성해서 반도체 장치를 완성시킨다. 이와 같이 도 2b에 도시한 형상에서는, 경계부(BS)의 반도체 기판(1)상에 에칭에 의한 가공이 실시되어 있지 않은 전극층이 적층된 게이트 구조가 형성된다.

일반적으로, 분류의 경계부(BS)는 특수한 형상으로 되어 있기 때문에 게이트 전극의 가공이 어렵다. 이 방법에서는 경계부(BS)의 게이트 전극을 에칭할 필요가 없으므로 가공이 쉬워져서 수율이 향상된다. 특히, 도 2b에 도시한 바와 같이 경계부(BS)에서 게이트 전극이 적층 구조로 되어 있는 경우에는, 특히 가공이 어려워지기 때문에 이 부분을 가공하지 않아도 된다는 효과가 크다.

이와 같이 본 실시 형태에 있어서는, 게이트 절연막의 막 두께 또는 막 종류가 상이한 2종류 이상의 트랜지스터를 갖는 반도체 장치에 있어서, 게이트 절연막을 소자 분리 트렌치 형성에 앞서 분류하여 경계부(BS)의 구조를 고안함으로써 공정수를 삭감하고 또한 반도체 장치를 고성능화할 수 있다.

그리고 본 실시 형태에 있어서는, 상이한 2종류 이상의 게이트 절연막을 갖는 반도체 장치내의 각각의 트랜지스터 영역이 접하는 경계부(BS)에 있어서, 트렌치 소자 분리 또는 게이트 전극의 형상과 분류의 프로세스를 고안한다. 이와 같이 하여 신뢰성이 높고 충분한 프로세스 마진과 디바이스 성능을 양립시킬 수 있다.

특히, 본 실시 형태는 소자 분리 영역이 게이트 전극에 대해 자기 정합적으로 형성된 불휘발성 반도체 장치에서 유용하다.

본 실시 형태에서는, 게이트 절연막의 분류를 트렌치 소자 분리 형성전에 실시하고 있으며 또한 분류시에 포토레지스트가 게이트 절연막에 직접 도포되지 않도록 되어 있다.

본 실시 형태에 의하면, 소자 분리단에서의 소자 분리 산화막의 에칭이 없고 또한 게이트 절연막의 신뢰성이 높은 반도체 장치를 제공할 수 있다. 그리고, 메모리 셀의 게이트 절연막으로서 ONO막을 사용한 경우에는, 소자 분리단에서 ONO 막 두께가 불균일해지는 것을 방지할 수 있다.

도 1a, 도 1b에 기재된 구조에서는, 경계부(BS)의 트렌치 소자 분리의 저부가 위로 분출해져 있다. 도 7a에 도시한 바

와 같이, 트렌치 매립시에 트렌치 저부의 형상을 상면이 반영하여 경계부(BS) 중앙에서 매립 산화막 상표면이 위로 볼록해진다. 폭이 넓은 소자 분리 영역은 CMP 처리시에 디싱하기 쉽다. 그러나, 매립형상이 위로 볼록해져 있는 것이 이것과 상충하기 때문에, 도 7b에 도시한 바와 같이 평탄하게 CMP 처리를 실시할 수 있다. 이와 같이 도 62에 도시한 종래의 소자 분리 영역에 있어서의 트렌치의 매립 불량이나 CMP에서의 디싱이 없기 때문에 프로세스 마진이 증대하여 수율이 향상된다.

도 1a, 도 1b에서 트렌치의 깊이가 좌우에서 상이한 경우를 예로 들었으나, 트렌치의 깊이가 좌우에서 동일해도 위로 볼록한 부분이 있으면 상기 효과를 얻을 수 있다. 또한, STI 저부를 흐르는 리크 전류가 감소한다는 효과도 있다. 이것은 볼록부의 단차 때문에 STI 저부의 변이 길어져서 리크 패스가 형성되기 어렵기 때문이다.

또한 도 2a에 도시한 구성에서는, 가공전의 게이트 전극이 도 12a에 도시한 바와 같이 경계부(BS)에 있어서 트랜지스터 영역의 게이트 전극보다 두껍게 적층되어 있다. 여기서, 경계부(BS)의 게이트 전극을 완전히 제거하고자 한 경우, 트랜지스터 영역보다 경계부(BS)에서 에칭해야 할 양이 많아진다. 이러한 상태에서 경계부(BS)의 게이트 전극을 완전히 제거하고자 하면, 트랜지스터 영역에서는 에칭량이 너무 많아서 반도체 기판 자체가 에칭된다. 이 오버 에칭을 방지하기 위한 가공 마진을 확보하기는 어렵다. 그러나, 도 2a에 도시한 본 실시 형태에 있어서는 경계부(BS)의 게이트 전극도 트랜지스터 영역의 게이트 전극과 동일한 양만큼 에칭하기 때문에, 에칭량은 트랜지스터 영역만으로 결정할 수 있으므로 가공 마진을 충분히 확보할 수 있다.

도 1b 및 도 2b에 도시한 실시 형태에 있어서는, 도 9 및 도 10에 도시한 바와 같이 게이트 가공시에 경계부(BS)를 포토레지스터로 덮음으로써, 경계부(BS)의 게이트 전극을 에칭하지 않도록 한다. 특히, 도 2b 및 도 10에 도시한 경계부(BS)에서는 게이트 전극의 구조가 트랜지스터 영역과 다르기 때문에 트랜지스터 영역과 동시에 에칭하기가 어렵다. 도 1b 및 도 2b에 도시한 본 실시 형태에서는, 에칭량을 트랜지스터 영역만으로 결정할 수 있으므로 가공 마진을 충분히 확보할 수 있다.

도 2a에 도시한 바와 같은 경계부(BS)의 게이트 전극을 일부 남기는 방법은, 게이트 전극을 에칭할 때 경계부(BS)를 레지스터로 덮을 필요가 없다. 따라서, 맞춤 여유 등을 둘 필요가 없으므로 경계부(BS)의 게이트 전극을 위한 영역을 작게 할 수 있다. 한편, 도 2b에 도시한 바와 같은 경계부(BS)의 게이트 전극을 전부 남기는 방법에서는, 경계부(BS)의 게이트 전극의 패턴이 크다. 따라서, 이 게이트 전극이 벗겨져서 더스트로 될 가능성이 없으므로 수율을 높일 수 있다.

(제2 실시 형태)

도 14a는 제2 실시 형태에 관한 반도체 장치의 경계부 부근을 도시한 단면도이다. 도 14b, 도 15a, 도 15b는 각각 제2 실시 형태의 변경예에 관한 반도체 장치의 경계부 부근을 도시한 단면도이다. 본 실시 형태에 특징적인 점은, 게이트 절연막의 막 종류, 예컨대 막 재료나 막 두께가 상이한 2종류의 트랜지스터(예컨대, 제1 및 제2 트랜지스터 영역(TR1, TR2))가 동일 반도체 기판상에 존재하고, 양자의 경계부(BS)가, 소자 분리 영역의 형상 또는 전극의 구조에 관해 양자의 이들(제1 및 제2 트랜지스터 영역(TR1, TR2)에서의 소자 분리부의 형상 또는 전극의 구조)과 상이한 것을 포함하는 점이다. 구체적으로 경계부(BS)에는 부분에 따라 깊이가 다른 트렌치형 소자 분리 영역 등이 형성된다.

도 14a에 도시한 반도체 기억 장치는, 반도체 기판(1)상에 배치된 제1 및 제2 트랜지스터 영역(TR1, TR2) 및 이들 사이에 끼워져서 양자에 접하는 경계부(BS)를 갖는다. 제1 트랜지스터 영역(TR1)이 고내압계 트랜지스터 영역인 경우, 반도체 기판(1)상에 형성되는 게이트 절연막(2)은 그 두께가 10nm~40nm 정도인 실리콘 산화막으로 형성된다. 제

2 트랜지스터 영역(TR2)이 저전압계 트랜지스터 영역인 경우, 반도체 기판(1)상에 형성되는 게이트 절연막(3)은 그 두께가 1nm~10nm 정도인 실리콘 산화막으로 형성된다. 제2 트랜지스터 영역(TR2)이 메모리 셀 영역인 경우, 게이트 절연막(3)은 그 두께가 1nm~10nm 정도인 실리콘 산화막 또는 그 두께가 10nm~50nm 정도인 ONO막으로 형성된다.

도 14a의 장치에서는, 상술한 3종류의 트랜지스터 영역 중 적어도 2개를 인접시켜, 각각의 게이트 절연막의 종류 또는 게이트 절연막의 두께를 달리 해서 배치한다. 그리고, 반도체 기판(1)은 그 안에 반도체 기판과 역도전형의 웰이 표면 부근에 형성되어 있어도 된다. 그리고 역도전형의 웰상에 추가로 반도체 기판과 동일한 도전형인 별도의 웰이 형성되어 있어도 된다(이하 동일).

제1 트랜지스터 영역(TR1)에서는, 게이트 절연막(2)상에 하측 전극층(4)이 형성되고, 그 위에 상측 전극층(5)이 형성되어 제1 게이트 전극(6)이 형성된다. 반도체 기판(1)중에는 제1 게이트 전극(6)을 마스크로 하여 주입된 1쌍의 소스/드레인 확산층(7)이 형성된다. 제1 게이트 전극(6)과 소스/드레인 확산층(7)이 제1 트랜지스터(8)를 형성한다. 하측 전극층(4) 및 상측 전극층(5)에는 모두 폴리실리콘층 등이 사용된다.

도 14a에 도시한 경계부(BS)에는 트랜치형 소자 분리 영역(50)이 형성된다. 소자 분리 영역(50)의 트랜치의 저부에는 아래로 볼록해진 볼록 부분(51)을 갖는 단차가 형성되어 트랜치는 부분적으로 깊이가 다르다. 제1 및 제2 트랜지스터 영역(TR1, TR2)을 연결하는 방향에서의 볼록 부분(10)의 폭은 100nm~10000nm 정도, 바람직하게는 100nm~1000nm 정도이다. 트랜치 저부의 얇은 부분으로부터의 볼록 부분(51)의 높이(깊이)는 10nm~300nm 정도, 바람직하게는 30nm~100nm 정도이다. 이 높이는 인접하는 제1 및 제2 트랜지스터 영역(TR1, TR2)에서의 게이트 전극 재료의 막 두께에 의존해서 변화한다. 또한, 소자 분리 영역(9) 저부의 아래로 볼록해진 부분(51)의 폭은 제조 공정에서의 리소 그래피의 맞춤 어긋남을 고려하여 부여되어 있으며, 예컨대 100nm~10000nm 정도이다.

경계부(BS)에 인접한 제2 트랜지스터 영역(TR2)에서는, 게이트 절연막(3)상에 하측 전극층(11)이 형성되고, 그 위에 상측 전극층(12)이 형성되어 제2 게이트 전극(13)이 형성된다. 반도체 기판(1)중에는 제2 게이트 전극(13)을 마스크로 하여 주입된 1쌍의 소스/드레인 확산층(14)이 형성된다. 제2 게이트 전극(13)과 소스/드레인 확산층(14)이 제2 트랜지스터(15)를 형성한다. 하측 전극층(11) 및 상측 전극층(12)에는 모두 폴리실리콘층 등이 사용된다.

도 14a에 도시된 구조의 경우, 소자 분리 영역(50)이 경계부(BS)의 좌우 트랜지스터 영역에 가까운 부분보다 경계부(BS)의 중앙에서 그 깊이가 크다. 따라서, 소자 분리 내압이 향상된다. 이 소자 분리 영역의 저부는 인접하는 트랜지스터 영역의 게이트 절연막이 두꺼울수록 그 깊이가 얇고 게이트 절연막이 얇을수록 그 깊이가 깊게 형성된다. 또한, 소자 분리 영역(50)의 트랜치의 저부에 단차가 있어, 소자 분리 영역 저부의 깊이가 제1 트랜지스터 영역(TR1)측 부분과 제2 트랜지스터 영역(TR2)측 부분에서 5nm~50nm 정도, 바람직하게는 10nm~30nm 정도만큼 다르다. 이것은 제1 게이트 절연막(2)이 제2 게이트 절연막(3)보다 5nm~50nm 정도, 바람직하게는 10nm~30nm 정도 만큼 막 두께가 두껍기 때문이다. 또한, 좌우의 트랜지스터(8, 15)와 소자 분리 영역(50) 사이에 별도의 소자 분리 영역을 형성할 수도 있다.

도 14b에 도시한 반도체 기억 장치에서는, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 구성이 도 14a와 동일하고, 경계부(BS)에서의 구성이 도 14a에 도시한 구성과 상이하다. 소자 분리 영역(50)의 주위에서 하측 전극층(4)이 제1 게이트 절연막(2)상에 형성되고, 하측 전극층(11)이 제2 게이트 절연막(3)상에 형성된다. 그리고, 소자 분리 영역(50) 및 그 주위의 하측 전극층(4, 11)상에 상측 전극층(16)이 형성되어 게이트 구조(17)가 형성된다.

이 구성에 있어서, 게이트 구조(17)는 제1 및 제2 트랜지스터 영역(TR1, TR2)의 게이트 전극(6, 13)과 전기적으로 절연되어 있는 것이 바람직하다. 또한, 좌우의 트랜지스터(8, 15)와 소자 분리 영역(50) 사이에 별도의 소자 분리 영역을 형성할 수도 있다.

도 14a, 도 14b에 도시한 구성에서는, 경계부(BS)에서 소자 분리 영역(50)의 트렌치의 저부에 단차가 있고, 특히 아래로 분목해져 있는 분목부(51)가 존재하는 데 특징이 있다. 그리고, 소자 분리 영역(50)의 트렌치의 깊이도 제1 트랜지스터 영역(TR1)측 부분과 제2 트랜지스터 영역(TR2)측 부분에서 상이하다. 이 소자 분리 영역의 저부는 인접하는 트랜지스터 영역의 게이트 절연막이 두꺼울수록 그 깊이가 얕고 게이트 절연막이 얇을수록 그 깊이가 깊게 형성된다.

소자 분리 영역(50)의 중앙에서 소자 분리 깊이가 깊어져 있기 때문에, 소자 분리 영역의 폭을 작게 형성하여 고집적화 시켜도 양호한 소자 분리 내압을 얻을 수 있다. 즉, 종래의 트랜지스터 영역과 경계부(BS)에서 트렌치 깊이가 일정한 경우에 비해 트렌치 폭을 좁게 하여 소자를 극세화할 수 있다.

그리고, 도 14b에 도시한 소자 분리 영역(50)상의 게이트 구조(17)는, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 게이트 구조와 동일하기 때문에 가공이 용이하다.

도 15a에 도시한 반도체 기억 장치에서는, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 구성이 도 14a, 도 14b와 동일하고, 경계부(BS)에서의 구성이 도 14a, 도 14b에 도시한 구성과 상이하다. 경계부(BS)에는 반도체 기판(1)중으로 파고 들어간 오목부(52)가 형성된다.

소자 분리 영역은 웰 분리 등에서 필요한 경우, 제1 및 제2 트랜지스터 영역(TR1, TR2)과 경계부(BS) 사이에 형성된다.

이 형상에서는, 경계부(BS)에 도 14a 및 도 14b에 도시한 바와 같은 특수 형상으로 되는 소자 분리 영역을 작성하지 않기 때문에 가공이 용이하다.

도 15b에 도시한 반도체 기억 장치에서는, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 구성이 도 14a, 도 14b와 동일하고, 경계부(BS)에서의 구성이 도 14a, 도 14b에 도시한 구성과 상이하다. 도 15a의 구조와 마찬가지로, 경계부(BS)에서 소자 분리 영역이 형성되어 있지 않다. 경계부(BS)에는 반도체 기판(1)상에 직접 전극층(53)이 형성된다. 전극층(53)은 상측 전극층(5, 12)과 동일한 조성이고, 그 높이는 상측 전극층(5, 12)과 동일하다.

또한, 전극층(53)의 제1 및 제2 트랜지스터 영역(TR1, TR2)측 측면에는 제1 및 제2 도전측벽(54, 55)이 형성된다. 제1 도전측벽(54)은 하측 전극층(4)과 동일한 조성이고, 전극층(53)의 돌출부와 제1 게이트 절연막(2) 사이에 형성된다. 제2 도전측벽(55)은 하측 전극층(11)과 동일한 조성이고, 전극층(53)의 돌출부와 제2 게이트 절연막(3) 사이에 형성된다. 이러한 구조이기 때문에, 경계부(BS)의 게이트 구조의 높이는 제1 및 제2 트랜지스터 영역(TR1, TR2)에 형성된 트랜지스터의 높이와 동일해진다.

소자 분리 영역은 웰 분리 등에서 필요한 경우, 제1 및 제2 트랜지스터 영역(TR1, TR2)과 경계부(BS) 사이에 형성된다.

도 15b에 도시한 반도체 기억 장치는, 이와 같이 경계부(BS)에서 전극층(53)이 직접 반도체 기판과 접하는 부분이 존재하는 데 특징이 있다. 또한, 경계부(BS)에서 전극층(53)의 양측에는 제1 및 제2 게이트 절연막(2, 3)의 양측이 존재한다. 이들 구조를 채택함으로써, 동일 반도체 기판상에 적은 공정수로 복수의 트랜지스터를 형성할 수 있게 된다.

도 15b에 도시한 구조에서는 경계부(BS)에서 반도체 기판이 에칭되지 않고 경계부(BS)의 전극층을 제거하지 않았다. 따라서, 에칭해야 할 도전체의 막 두께도 트랜지스터의 게이트 전극 막 두께와 동일하기 때문에, 경계부(BS)의 가공에 기인하는 수율 저하가 없다.

또한, 본 실시 형태에 있어서의 제조 공정에서는, 게이트 절연막상에 포토레지스트를 직접 도포하는 공정이 없기 때문에 게이트 절연막의 신뢰성을 향상시킬 수 있게 된다. 특히, 도 15b에 도시된 구조의 경우, 경계부(BS)에서는 게이트 전극을 남기는 패턴으로 하기 위해 경계부(BS)의 특수한 구조의 게이트 전극은 에칭할 필요가 없으므로 수율이 향상된다.

본 실시 형태에 있어서도, 제1 실시 형태와 마찬가지로 도 3a, 도 3b에 도시한 구조를 갖는다. 게이트 전극이 소자 분리 단에서 게이트 절연막 측면으로 들어가는 일이 없기 때문에, 소자 분리 영역단에 기생 트랜지스터가 형성되는 일을 방지하여 트랜지스터를 고성능화할 수 있다. 또한, 자기 정합형 STI 프로세스를 채택하여 소자 분리 형성 형성을 더미 절연막이나 더미 게이트의 퇴적이나 제거 공정이 없으므로 공정수가 적어도 된다.

이어서, 본 실시 형태에 관한 반도체 장치의 제조 방법의 일례를 설명한다. 우선, 도 14a에 도시된 구조의 제조 방법을 도 16a 및 도 20을 이용하여 설명한다.

도 16a에 도시한 바와 같이, 반도체 기판(1)의 상표면에 희생 산화막(도시 생략)을 형성한다. 이어서, 셀 불순물이나 채널 불순물을 필요에 따라 주입하고, 그 후 희생 산화막을 제거한다. 계속해서, 반도체 기판(1)상에 실리콘 산화막이나 실리콘 질화막 등의 제1 게이트 절연막(2) 및 다결정 실리콘 등의 하측 전극층(4)을 형성한다.

이어서, 도 16b에 도시한 바와 같이, 제1 트랜지스터 영역(TR1) 및 여기에서 경계부(BS)의 중앙까지를 포토레지스트층(56)으로 덮고, 그 외 영역의 게이트 전극층 및 게이트 절연막을 제거한다. 제거 방법은 습식 에칭 등의 등방성 에칭이나 RIE 등의 이방성 에칭 중 어느 것이어도 된다.

이어서, 도 16c에 도시한 바와 같이, 반도체 기판(1) 전면에 실리콘 산화막이나 실리콘 질화막 등의 제2 게이트 절연막(3) 및 다결정 실리콘 등의 하측 전극층(11)을 형성한다. 이 때, 제1 트랜지스터 영역(TR1)에서는, 하측 전극층(4)상에 제2 게이트 절연막(3) 및 하측 전극층(11)이 형성된 적층 구조로 된다. 여기서, 제1 트랜지스터 영역(TR1)에서의 하측 전극층(4)과 제2 트랜지스터 영역(TR2)에서의 하측 전극층(11)은 상이한 물질 및 막 두께를 사용해도 된다. 그러나, 이들이 동일 물질 및 동일 막 두께이면 후공정에서 게이트 전극을 동시에 에칭하기가 쉽다.

이어서, 도 17a에 도시한 바와 같이, 제2 트랜지스터 영역(TR2) 및 여기에서 경계부(BS)의 중앙까지를 포토레지스트층(57)으로 덮고, 그 외 영역의 게이트 전극층 및 게이트 절연막을 제거한다. 제거 방법은 습식 에칭 등의 등방성 에칭이나 RIE 등의 이방성 에칭 중 어느 것이어도 된다. 이 때, 포토레지스트층(57)의 단부가 남겨진 하측 전극층(4)의 단부에서 멀어지도록 한다. 즉, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 분류된 경계부(BS) 중앙에서는 하측 전극층(4, 11)이 모두 제거되어 반도체 기판(1)의 표면이 노출되도록 한다.

이어서, 도 17b에 도시한 바와 같이, 포토레지스트층(57)을 제거한 후, 제1 마스크층(58) 및 제2 마스크층(59)을 퇴적한다. 제1 마스크층(56)에는 예컨대 실리콘 질화막을 사용하고, 제2 마스크층(59)에는 예컨대 실리콘 산화막을 사용한다. 이어서, 도 17c에 도시한 바와 같이, 소자 분리 영역의 형성을 위한 포토레지스트층(60)을 제2 마스크층(59)상에 퇴적하여 소자 분리 패턴을 형성한다. 포토레지스트층(60)은 소자 분리 영역이 형성되지 않은 부분의 상측에 배치된다.

이어서, 도 18a에 도시한 바와 같이, 포토레지스트층(60)을 이용하여 제2 마스크층(59) 및 제1 마스크층(58)의 소자 분리 패턴으로 개구되도록 이방성 에칭에 의해 제거한다. 이 때, 분류의 경계부(BS) 중앙에서는 에칭전에 게이트 전극이 존재하지 않았기 때문에 에칭후에는 반도체 기판(1)이 표면으로 노출된다. 이어서, 도 18b에 도시한 바와 같이, 제1 마스크층(58) 및 제2 마스크층(59)이 피복되어 있지 않은 부분의 하측 전극층(4, 11)을 이방성 에칭에 의해 제거한다. 이 때, 경계부(BS) 중앙에서는 반도체 기판(1)이 에칭되어 오목부(44)가 형성된다.

이어서, 도 18c에 도시한 바와 같이, 소자 분리 영역 형성을 위해 반도체 기판(1)을 에칭한다. 소자 분리 영역으로서 형성되는 반도체 기판(1)층의 트렌치(61)의 깊이는, 예컨대 50nm~300nm 정도, 바람직하게는 150nm~250nm 정도이다. 분류의 경계부(BS)는 도 18a에 도시한 단차 때문에 트렌치(61)의 저부에서 아래로 볼록한 형상으로 된다. 볼록부

의 단차는 도 18a에서 남은 하측 전극층(4, 11)의 막 두께와 에칭의 조건에 의존하는데, 일반적으로 10nm~300nm 정도, 바람직하게는 30nm~100nm 정도이다.

또한, 트렌치(61) 저부의 깊이도 제1 트랜지스터 영역(TR1)측 부분과 제2 트랜지스터 영역(TR2)측 부분에서 다르다. 여기에서는 제1 트랜지스터 영역(TR1)측 트렌치(61) 저부의 깊이가 제2 트랜지스터 영역(TR2)측 트렌치(61) 저부의 깊이보다 5nm~50nm 정도, 바람직하게는 10nm~30nm 정도 만큼 깊게 형성된다. 이것은 제1 게이트 절연막(2)이 제2 게이트 절연막(3)보다 막 두께가 두껍기 때문이다. 이 때, 제1 및 제2 하측 전극층(4, 11)에 대해 자기 정합적으로 제1 및 제2 트랜지스터 영역(TR1, TR2)내의 반도체 기판(1)을 에칭하여 제1 및 제2 트랜지스터 영역(TR1, TR2)내에 소자 분리 영역(26)(도 3a, 도 3b 참조)을 위한 트렌치를 동시에 형성한다.

이어서, 도 19a에 도시한 바와 같이, 실리콘 산화막 등의 절연물(62)로 경계부(BS)내의 트렌치(61) 및 제1 및 제2 트랜지스터 영역(TR1, TR2)내의 트렌치를 매립하고, CMP 등의 방법으로 제1 마스크층(58)을 스톱퍼로 하여 절연물(62)을 에칭한다. 이어서, 도 19b에 도시한 바와 같이, 제1 마스크층(58)을 제거한 후, 반도체 기판(1)의 전면에 상측 전극층(5, 12)을 퇴적한다. 상측 전극층(5, 12)은 다결정 실리콘 또는 다결정 실리콘과 금속 혹은 실리콘과 금속 화합물의 퇴적막 또는 금속 혹은 실리콘과 금속 화합물의 단층막으로 이루어진다. 이어서, 도 19c에 도시한 바와 같이, 게이트 전극을 가공하기 위한 포토레지스트층(63)을 퇴적하여 게이트 전극 패턴을 형성한다.

이어서, 도 14a에 도시한 바와 같이, 포토레지스트층(63)을 마스크로 하여, 게이트 전극층을 이방성 에칭하여 제1 게이트 전극(6), 제2 게이트 전극(13)을 형성한다. 그 후, 후산화 등으로 가공의 대미지를 회복시킨다. 이어서, 확산층 불순물을 주입하여 소스/드레인 확산층(7, 14)을 형성한다. 이 때, 경계부(BS)에서는 레지스트층을 남기지 않고, 경계부(BS)의 게이트 전극은 제거한다. 물론, 게이트 전극상에 실리콘 질화막이나 실리콘 산화막 등의 마스크층을 퇴적시키고, 이것을 마스크로 하여 게이트 전극을 가공해도 된다.

그리고, 도시하지 않았으나 층간 절연막, 콘택트 플러그, 배선 등을 형성해서 반도체 장치를 완성시킨다. 이와 같이 경계부(BS)에 소자 분리 영역이 형성되는 경우에는 소자 분리 트렌치의 저부에 하측 불록부(51)로서 단차가 남는다. 그리고, 또한 경계부(BS)는 소자 분리 트렌치가 깊어져 있기 때문에 매립 형상도 그것을 반영하여 하측으로 불록해지는 경우도 있다. 이 경우에는 도 20에 도시한 바와 같이 상표면에 오목부(64)가 형성된다.

이어서, 도 14b에 도시된 구조의 제조 방법을 설명한다. 도 19b에 도시한 공정까지는 도 14a에 도시된 구조의 제조 방법과 동일하다. 상기 제조 공정에서는 게이트 전극 가공의 포토레지스트층을 경계부(BS)에서 개구하는 방법을 나타냈으나, 여기에서는 경계부(BS)에 포토레지스트층을 남기는 방법이 이용된다. 즉, 도 21에 도시한 바와 같이, 분류의 경계부(BS)에 포토레지스트층(65)을 남기는 패턴을 사용한다. 이 때, 트렌치(61)의 폭보다 외측에 포토레지스트층(65)의 개구부가 형성된다.

이어서, 도 14b에 도시한 바와 같이, 포토레지스트층(65)을 마스크로 하여, 게이트 전극을 이방성 에칭하여 제1 게이트 전극(6) 및 제2 게이트 전극(13)을 형성한다. 이 때, 소자 분리 영역(50)의 주위에서 하측 전극층(4)을 제1 게이트 절연막(2)상에 남기고, 하측 전극층(11)을 제2 게이트 절연막(3)상에 남긴다. 그리고, 소자 분리 영역(50) 및 그 주위의 하측 전극층(4, 11)상에 하측 전극층(16)을 남김으로써 게이트 구조(17)가 형성된다. 그 후, 후산화 등으로 가공의 대미지를 회복시킨다. 이어서, 반도체 기판(1)중으로 확산층 불순물을 주입하여 제1 트랜지스터 영역(TR1)의 소스/드레인 확산층(7) 및 제2 트랜지스터 영역(TR2)의 소스/드레인 확산층(14)을 형성한다. 그리고, 게이트 전극상

에 실리콘 질화막이나 실리콘 산화막 등의 마스크층을 퇴적시키고, 이것을 마스크로 하여 게이트 전극층을 가공해도 된다.

또한 경계부(BS)는, 소자 분리 트렌치가 깊어져 있기 때문에 매립 형상도 이것을 반영하여 아래로 볼록해지는 경우도 있다. 이 경우에는 도 22에 도시한 바와 같이 상표면에 오목부(64)가 형성되고, 이 오목부(64)를 매립하여 상측 전극층(16)이 형성된다.

이어서, 도 15a에 도시된 구조의 제조 방법을 설명한다. 이 구조의 제조 방법은 도 17b까지의 공정은 도 14a에 도시된 구조의 제조 방법과 동일하다.

이어서, 도 23a에 도시한 바와 같이, 소자 분리 영역 형성을 위한 포토레지스트층(67)을 제2 마스크층(59)상에 피복한다. 제2 마스크층(59)을 이방성 에칭한 후, 도 23b에 도시한 바와 같이 포토레지스트층(67)을 제거하여 제2 마스크층(59) 상표면을 노출시킨다. 이 때, 도시하지는 않았으나 제1 및 제2 트랜지스터 영역(TR1, TR2)내에서 제2 마스크층(59)이 에칭되어 있는 부분이 있다.

이어서, 앞의 도 18a~도 19a와 동일한 공정을 거쳐, 제1 및 제2 트랜지스터 영역(TR1, TR2)내에 소자 분리 영역(26)(도 3a, 도 3b 참조)을 형성한다. 이 때의 경계부(BS)의 형상을 도 24a에 도시한다. 이어서, 제1 마스크층(58)의 상표면에 존재하는 오목부(68)상에 제2 마스크층(59)이 남는다.

이어서, 도 24b에 도시한 바와 같이, 제2 마스크층(59) 및 제1 마스크층(58)을 제거하여 하측 전극층(4, 11) 상표면 및 반도체 기판(1)의 하표면을 노출시켜 이들 상표면상에 상측 전극층(5, 12)을 형성한다. 이어서, 도 25a에 도시한 바와 같이, 게이트 전극 형성용 포토레지스트층(69)을 상측 전극층(5, 12)상에 형성한다.

이어서, 도 25b에 도시한 바와 같이, 포토레지스트층(69)을 마스크로 에칭을 실시하여 제1 게이트 전극(6) 및 제2 게이트 전극(13)을 형성한다. 그 후, 후산화 등으로 가공의 대미지를 회복시킨다. 이어서, 반도체 기판(1)중으로 확산층 불순물을 주입하여 제1 트랜지스터 영역(TR1)의 소스/드레인 확산층(7) 및 제2 트랜지스터 영역(TR2)의 소스/드레인 확산층(14)을 형성한다. 이 공정에서는 경계부(BS)도 마스크로 덮여 있지 않기 때문에, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 소스/드레인 확산층과 동일한 확산층이 경계부(BS)에도 형성된다. 그리고, 경계부(BS)를 포토레지스트층으로 덮음으로써 소스/드레인 확산층이 형성되지 않도록 해도 된다.

이와 같이, 경계부(BS)가 소자 분리 영역이 아니고, 게이트 전극이 제거된 경우에는 도 25b에 도시한 바와 같은 형상으로 된다. 그러나, 경계부(BS)는 게이트 전극이 반도체 기판에 직접 접하기 때문에 에칭의 선택비를 확보하기가 어려워 반도체 기판이 에칭된 경우에는 도 15a의 형상으로 된다. 이 경우에도 게이트 전극이 남아 있지 않기 때문에, 게이트 전극의 쇼트 등의 문제는 전혀 없다.

이어서, 도 15b에 도시된 구조의 제조 방법을 설명한다. 도 24b까지의 공정은 도 15a에 도시된 구조의 제조 방법과 동일하다.

이어서, 도 26에 도시한 바와 같이, 상측 전극층(5, 12)상에 제1 및 제2 트랜지스터 영역(TR1, TR2)의 게이트 전극 및 경계부(BS)의 게이트 구조를 형성하기 위한 포토레지스트층(70)을 형성한다. 경계부(BS) 주변에는 오목부(68)보다 외측으로 넓어지도록 포토레지스트층(70)이 형성된다. 이어서, 도 15b에 도시한 바와 같이, 포토레지스트층(70)을 마스크로 게이트 전극층이 에칭되어 제1 게이트 전극(6), 제2 게이트 전극(13), 전극층(53), 제1 도전층벽(54) 및 제2 도전층벽(55)이 형성된다. 이 도 15b에 도시한 구조에서는 경계부(BS)의 반도체 기판에 직접 접촉한 전극층이 남는다.

분류의 경계부(BS)는 특수한 형상으로 되어 있기 때문에 게이트 전극의 가공이 어렵다. 그러나, 이 방법에서는 경계부(BS)의 게이트 전극 가공을 할 필요가 없기 때문에, 다른 방법에 비해 가공이 용이해져서 수율이 향상된다. 경계부(BS)에서 게이트 전극이 반도체 기판에 직접 접촉하는 경우에는, 특히 가공이 어려워지기 때문에 이 부분을 가공하지 않아도 되면 효과가 크다.

종래의 문제였던 도 62a, 도 62b에 도시한 트렌치의 매립 불량이나 CMP에서의 디싱은, 경계부(BS)에서 트렌치 폭이 넓은 것에 기인한다. 따라서, 본 실시 형태와 같이 트렌치 저부를 아래로 볼록하게 하고, 또한 트렌치 폭을 종래보다 좁게 함으로써, 소자 분리 내압을 해치지 않고 매립 불량이나 디싱을 방지할 수 있다. 그리고, 이 때의 경계부(BS)에 있어서의 트렌치의 애스펙트비(중횡비)는 증대되지만, 메모리 셀 영역에 있어서의 트렌치의 애스펙트비는 보다 작아지도록 해두면 애스펙트비 증대로 인한 매립 특성 저하의 현재성을 방지할 수 있다.

도 15a에 도시한 바와 같이, 경계부(BS)에서 게이트 전극을 전혀 남기지 않고 반도체 기판을 파고 들어가는 방법에 있어서는, 경계부(BS)에 게이트 전극이 남지 않기 때문에 더스트가 발생하는 일이 없다. 또한, 레지스트로 경계부(BS)를 덮는 일도 없기 때문에 경계부(BS)의 면적을 작게 할 수 있다.

또한, 도 25a에 도시한 제조 방법에 있어서는, 가공전의 게이트 전극은 트랜지스터 영역보다 두꺼워져 있지 않다. 따라서, 에칭량은 트랜지스터 영역에 있어서의 필요량에 맞출 수 있다. 또한, 반도체 기판이 에칭되는 것은 경계부(BS)만이 기 때문에, 에칭에 의한 대미지는 문제가 되지 않는다.

또한, 도 15b에 도시한 경계부(BS)에서 전극층(53, 54, 55)(게이트 구조의 도전성 부분)을 남기고 또한 전극층이 반도체 기판(웰)과 전기적으로 접속하는 방법에 있어서는, 게이트 전극의 가공을 트랜지스터 영역에만 맞출 수 있다. 특히, 전극층(게이트 구조의 도전성 부분)을 웰과 전기적으로 접속함으로써 웰의 저항이 내려가서 웰의 승압, 강압이 고속화되기 때문에 디바이스 성능이 향상된다. 또한, 전극층을 통해 웰 또는 반도체 기판에 전위를 부여할 수 있기 때문에, 별도로 웰 콘택트나 기판 콘택트를 형성할 필요가 없다.

(제3 실시 형태)

본 실시 형태에 있어서의 반도체 장치의 단면도를 도 27a, 도 27b에 도시한다. 본 실시 형태에 특징적인 점은 게이트 절연막의 막 종류 또는 막 두께가 상이한 3종류의 트랜지스터(예컨대, 제1 내지 제3 트랜지스터 영역(TR1, TR2, TR3))가 동일 반도체 기판상에 존재하고, 인접하는 2개의 트랜지스터 영역의 경계부(BS)에서 소자 분리 영역의 형상 또는 전극의 구조에 관해 인접하는 2개의 트랜지스터 영역의 이들과 다른 것을 포함하는 점이다.

도 27a에 도시한 구조에서는, 제1 및 제2 트랜지스터 영역(TR1, TR2)은 도 1a에 도시한 구조와 동일하게 되어 있다. 그리고 제2 및 제3 트랜지스터(TR2, TR3) 사이에는 그 저부에 위로 볼록한 볼록부(71)를 갖는 소자 분리 영역(72)이 형성된다. 또한, 제3 트랜지스터 영역(TR3)에는 제3 게이트 절연막(73)이 반도체 기판(1)상에 형성된다. 이 제3 게이트 절연막(73)은 제1 게이트 절연막(2)과도 제2 게이트 절연막(3)과도 그 조성 또는 막 두께가 다르다. 이 제3 게이트 절연막(73)상에는 하측 전극층(74)과 상측 전극층(75)이 적층된 제3 게이트 전극(76)이 형성된다.

이 제3 게이트 전극(76)을 마스크로 하여, 반도체 기판(1)중에는 소스/드레인 확산층(77)이 형성되어 제3 트랜지스터(78)가 형성된다.

도 27a에 도시한 예에서는, 경계부(BS)에서 소자 분리 영역(9, 27)의 트렌치의 저부에 단차가 있고, 특히 위로 볼록해진 볼록부(10, 17)가 존재하는 데 특징이 있다. 그리고, 소자 분리 영역(9)의 깊이도 제1 트랜지스터 영역(TR1)측 부

분과 제2 트랜지스터 영역(TR2)측 부분에서 다르다. 또한, 소자 분리 영역(72)의 깊이도 제2 트랜지스터 영역(TR2)측 부분과 제3 트랜지스터 영역(TR3)측 부분에서 다르다. 여기서는 제2 트랜지스터 영역(TR2)의 게이트 절연막(3)은 제3 트랜지스터 영역(TR3)의 게이트 절연막(73)보다 두께가 얇기 때문에, 소자 분리 영역(72)의 저부는 그 두께만큼 제3 트랜지스터 영역(TR3)의 소자 분리 영역측이 그 저부의 깊이가 얇게 형성된다.

또한, 도 27b에 도시한 예에서는, 제1 및 제2 트랜지스터 영역(TR1, TR2) 사이의 경계부(BS)의 구조가, 제2 및 제3 트랜지스터 영역(TR2, TR3) 사이의 경계부(BS)의 구조와 다른 점에 특징이 있다. 제2 및 제3 트랜지스터 영역(TR2, TR3)의 경계부(BS)에서 소자 분리 영역(80)의 저부에 오목부는 존재하지 않고, 접하는 영역에 따라 깊이가 달라지는 단차가 있을 뿐이다. 제2 게이트 절연막(3)의 막 두께보다 제3 게이트 절연막(81)의 막 두께가 두껍게 형성되기 때문에, 소자 분리 영역(80)의 제2 트랜지스터 영역(TR2)측에서 깊이가 깊게 형성된다.

제3 트랜지스터 영역(TR3)에서는 반도체 기판(1)상에 제3 게이트 절연막(81)이 형성되고, 이 제3 게이트 절연막(81)상에 하측 전극층(82) 및 상측 전극층(83)으로 이루어진 제3 게이트 전극(84)이 형성된다. 이 제3 게이트 전극(84)을 마스크로 반도체 기판(1)중에 형성된 소스/드레인 확산층(85)이 형성되어 제3 트랜지스터(86)가 형성된다.

이들 구조를 채택함으로써, STI 형성용 더미 절연막과 더미 게이트의 퇴적이나 제거 공정이 불필요한 자기 정합 STI 프로세스로 되어 동일 반도체 기판상에 적은 공정수로 복수의 트랜지스터를 형성할 수 있게 된다. 또한, 도 27a의 구조에 있어서의 제조 공정에서는 게이트 절연막상에 포토레지스트를 직접 도포하는 공정이 없기 때문에 게이트 절연막의 신뢰성을 향상시킬 수 있게 된다.

도 27b의 구조에 있어서의 제조 공정에서는 분류한 게이트 전극을 제거하는 공정이 삭감되기 때문에 제조 프로세스를 간략화하여 비용을 저감할 수 있다.

도 28a는 제1 트랜지스터 영역(TR1)의 게이트 전극의 구조를 도시한 단면도이다. 도 28b는 제2 트랜지스터 영역(TR2)의 게이트 전극의 구조를 도시한 단면도이다. 도 28c는 제3 트랜지스터 영역(TR3)의 게이트 전극의 구조를 도시한 단면도이다. 도 28a~도 28c에 도시한 바와 같이, 본 실시 형태에 있어서의 트랜지스터는 게이트 전극이 소자 분리 영역에 대해 자기 정합적으로 형성된다. 그러므로, 게이트 전극이 소자 분리단에서 게이트 절연막 측면으로 들어가는 일이 없다. 따라서, 소자 분리단에 기생 트랜지스터가 형성되는 것을 방지하여 트랜지스터를 고성능화할 수 있다.

도 27a, 도 27b에 도시한 분류의 경계부(BS)의 구조는, 경계부(BS)에서 게이트 전극이 서로 중첩하여 소자 분리 트렌치를 형성함과 아울러 게이트 전극을 제거하는 방법에 의해 형성된다. 그러나, 제1 실시 형태 및 제2 실시 형태에서 설명한 것과 마찬가지로, 경계부(BS)에서의 중첩 유무, 소자 분리 트렌치의 유무 및 게이트 전극 제거의 유무를 임의로 조합할 수 있다. 그리고, 각 분류의 경계의 구조는 동일 구조로 통일해도 되고 별도의 구조로 해도 된다.

이하, 본 실시 형태에 있어서의 도 27a에 도시된 구조의 반도체 장치의 제조 방법의 일례를 설명한다. 도 29a 내지 도 30a는 도 4a 내지 도 5a에 도시한 공정과 동일하다.

이어서, 도 30b에 도시한 바와 같이, 제3 트랜지스터 영역(TR3)과 그 경계부(BS)를 노출시키는 포토레지스트층(91)을 이용하여 에칭을 실시한다. 이어서, 도 30c에 도시한 바와 같이 포토레지스트층(91)을 제거한 후에 제3 게이트 절연막(73)을 전체에 퇴적하고, 그 위에 하측 전극층(74)을 형성한다. 이어서, 도 31a에 도시한 바와 같이 제3 트랜지스터 영역(TR3)과 그 경계부(BS)에 포토레지스트층(92)을 형성하여 에칭을 실시한다. 이에 따라, 제1 트랜지스터 영역(TR1)에 하측 전극층(4)을 노출시키고, 경계부(BS)에서 제2 트랜지스터 영역(TR2)에 걸쳐 하측 전극층(11)을 노출시킨다.

이어서, 도 31b에 도시한 바와 같이, 포토레지스트층(92)을 제거하여 노출 표면에 차례로 제1 마스크층(93), 제2 마스크층(94)을 형성한다. 제1 마스크층(93)은 예컨대 실리콘 질화막이고, 제2 마스크층(94)은 예컨대 실리콘 산화막이다. 그 후, 제1 실시 형태의 제조 방법으로서 도시한 도 5c 내지 도 8까지의 공정과 동일한 방법으로 소자 분리 영역 및 게이트 전극을 가공한다. 그리고, 도시하지는 않았으나 층간 절연막, 콘택트 플러그, 배선 등을 형성하여 반도체 장치를 완성시킨다.

본 실시 형태의 방법에서는, 게이트 절연막상에 포토레지스트가 직접 접촉하는 공정이 없기 때문에 게이트 절연막의 높은 신뢰성을 확보할 수 있다. 또한, 분류의 경계부(BS)의 구조는 도 27a에 도시한 구조로 한정되지 않고, 제1 실시 형태 및 제2 실시 형태에 도시한 별도의 구조를 사용해도 되고, 복수 종류의 구조를 조합해도 된다. 또한, 본 실시 형태의 방법을 이용함으로써 4종류 이상의 게이트 절연막 및 게이트 전극을 분류할 수도 있다.

이어서, 도 27b에 도시된 구조의 제조 방법의 일례를 설명한다.

우선, 반도체 기판의 표면에 희생 산화막을 형성한다. 웰 분순물이나 채널 불순물을 필요에 따라 주입한 후에 희생 산화막을 제거한다. 이어서, 도 32a에 도시한 바와 같이 반도체 기판(1)상에 실리콘 산화막이나 실리콘 질화막 등의 제1 게이트 절연막(2) 및 다결정 실리콘 등의 하측 전극층(4)을 형성한다.

이어서, 도 32b에 도시한 바와 같이, 제1 트랜지스터 영역(TR1)이 되는 부분을 포토레지스트층(95)으로 덮고, 그 외 전극의 게이트 전극 및 게이트 절연막을 제거한다. 제거 방법은 습식 에칭 등의 등방성 에칭이나 RIE 등의 이방성 에칭 중 어느 것이어도 된다.

이어서, 도 32c에 도시한 바와 같이, 반도체 기판(1) 전면에 실리콘 산화막이나 실리콘 질화막 등의 산화막(96)을 형성한다. 이어서, 도 32d에 도시한 바와 같이, 제3 트랜지스터 영역(TR3)을 포토레지스트층(97)으로 덮고, 그 외 영역의 산화막(96)을 제거한다.

이어서, 도 33a에 도시한 바와 같이, 노출 표면에 제2 게이트 절연막(3) 및 하측 전극층(11, 82)을 형성한다. 산화막(96)상에는 제2 게이트 절연막(3)이 형성되어 막 두께가 두꺼워져서 제3 게이트 절연막(81)으로서 제3 트랜지스터 영역(TR3)에 형성된다. 하측 전극층(11)과 하측 전극층(82)은 다른 물질 및 막 두께를 사용해도 된다. 그러나, 이들이 동일 물질 및 동일 막 두께이면 후공정에서 게이트 전극을 동시에 에칭하기가 쉽다.

이어서, 도 33b에 도시한 바와 같이, 제2 및 제3 트랜지스터 영역(TR2, TR3)이 되는 부분을 포토레지스트층(98)으로 덮고, 그 외 영역의 하측 전극층(11, 82) 및 제2 게이트 절연막(3)을 제거한다. 제거 방법은 습식 에칭 등의 등방성 에칭이나 RIE 등의 이방성 에칭 중 어느 것이어도 된다. 이 때, 포토레지스트의 일부가 제1 트랜지스터 영역(TR1)측 경계부(BS)에 걸리도록 한다. 따라서, 제1 및 제2 트랜지스터 영역(TR1, TR2)의 분류의 경계부(BS)에서는 게이트 전극이 적층 구조 상태로 남는다.

이어서, 도 33c에 도시한 바와 같이, 제1 마스크층(99) 및 제2 마스크층(100)을 퇴적한다. 제1 마스크층(99)은 예컨대 실리콘 질화막이고, 제2 마스크층(100)은 예컨대 실리콘 산화막이다. 그 후, 도 6a 내지 도 7c의 공정과 동일한 공정에 의해 소자 분리 트렌치, 소자 분리 영역을 형성한다.

이어서, 도 34a, 도 34b에 도시한 구조를 도 5c 내지 도 8의 공정과 동일한 공정에 의해 형성한다. 이어서, 포토레지스트층(101)을 게이트 전극 형성용 마스크로서 이용하여 도 1a를 참조하여 설명한 공정과 동일한 방법으로 게이트 전극을 가공한다. 제2 및 제3 트랜지스터 영역(TR2, TR3)의 경계부(BS)에서는 하측 전극층(11, 82)이 공통으로 사용되고 있기 때문에, 그 막 두께에는 경계부(BS)에서 차이는 발생하지 않는다. 따라서, 소자 분리 영역(80)의 저부는 제2 게이트 절연막과 제3 게이트 절연막의 막 두께의 차이 만큼의 단차가 발생한다. 즉, 막 두께가 두꺼운 제3 트랜지스터

에 인접한 측의 경계부(BS)의 소자 분리 영역(80)의 깊이가, 제2 트랜지스터에 인접한 측의 소자 분리 영역(80)의 깊이보다 얇게 형성된다. 그리고 도시하지는 않았으나, 층간 절연막, 콘택트 플러그, 배선 등을 형성해서 반도체 장치란 완성시킨다.

도 27a에 도시한 반도체 장치의 제조 방법에 비해 도 27b에 도시한 반도체 장치의 제조 방법에서는, 제2 트랜지스터 영역(TR2)의 하측 전극층(11)과 제3 트랜지스터 영역(TR3)의 하측 전극층(82)을 공통으로 퇴적한다. 따라서, 제거 공정이 생략되어 공정을 간략화할 수 있다.

분류의 경계부(BS)의 구조는 도 27a, 도 27b에서 도시한 구조로 한정되지 않고, 제1 실시 형태 및 제2 실시 형태에서 나타난 별도의 구조를 사용해도 되고 복수의 구조를 조합해도 된다. 그리고, 본 실시 형태를 사용함으로써 4종류 이상의 게이트 절연막 및 게이트 전극을 분류할 수도 있다. 또한, 고내압계 트랜지스터의 게이트 절연막상에만 포토레지스트가 직접 도포되는 형태로 되어 있기 때문에, 메모리 셀의 신뢰성을 해치지 않고 분류의 공정수를 삭감할 수 있다.

(제4 실시 형태)

본 실시 형태에 있어서의 반도체 장치는, 불휘발성 기억 장치의 하나인 MONOS형 셀 구조를 갖는 NAND형 EEPROM, NOR형 EEPROM, AND형 EEPROM 또는 Virtual Ground Array형 EEPROM 중 어느 하나에 적용한다. 본 실시 형태에 관한 분류의 경계부(BS) 근방의 단면도를 도 35 내지 도 37에 도시한다.

도 38에는 선택 트랜지스터에 끼워져서 복수의 메모리 셀이 직렬로 배치된 NAND 메모리 셀 블록의 등가 회로도가 도시된다. 즉, 불휘발성 메모리 셀(M0~M15)이 직렬로 접속되고, 메모리 셀(M0)의 일단이 선택 트랜지스터(S1)를 통해 데이터 전송선(BL)에 접속되고, 메모리 셀(M15)의 일단이 선택 트랜지스터(S2)를 통해 공통 소스선(SL)에 접속된다.

각각의 메모리 셀(M0~M15)의 제어 전극은 데이터 전송선(WL0~WL15)에 접속된다. 또한, 데이터 전송선을 따른 복수의 메모리 셀 블록으로부터 1개의 메모리 셀 블록을 선택해서 데이터 전송선에 접속하기 때문에, 선택 트랜지스터(S1)의 제어 전극은 블록 선택선(SSL)에 접속된다. 그리고, 선택 트랜지스터(S2)의 제어 전극은 블록 선택선(GSL)에 접속되어 점선으로 나타난 영역에서 NAND 메모리 셀 블록(A)을 형성한다.

여기에서는, 메모리 셀 블록(A)내에 16개의 메모리 셀이 접속되는 상태를 도시한다. 그러나, 데이터 전송선 및 데이터 선택선에 접속하는 메모리 셀의 수는 복수이면 되며, 2^n 개(n 은 양의 정수)인 것이 어드레스 디코딩을 함에 있어서 바람직하다. 또한, 선택 어드레스로서 반드시 메모리 셀 트랜지스터와 동일한 구조를 사용해야 하는 것은 아니며, 도 39에 도시한 바와 같이 선택 트랜지스터(S1, S2)로서 통상의 MOS 트랜지스터를 사용할 수 있다.

MONOS형 불휘발성 메모리는 메모리 셀을 구성하는 MONOS형 트랜지스터, 주변 저전압 회로를 구성하는 비교적 얇은 게이트 산화막을 갖는 MOS 트랜지스터(이하, LV계 트랜지스터라 함), 주변 고전압 회로를 구성하는 비교적 두꺼운 게이트 산화막을 갖는 MOS 트랜지스터(이하, HV계 트랜지스터라 함) 중 적어도 3종류의 트랜지스터를 포함한다. MONOS 메모리 셀과 LV계 트랜지스터는 제1 내지 제3 실시 형태에 의한 방법에 의해 분류되고, 그 경계부(BS)는 예컨대 도 35에 도시한 형상을 갖는다. 그러나, 제1 내지 제3 실시 형태에서 설명한 것과 마찬가지로, 경계부(BS)에서의 중첩 유무, 소자 분리 트렌치의 유무 및 게이트 전극 제거의 유무를 임의로 조합할 수 있다.

도 35에 단면이 도시되는 반도체 장치에 있어서, 예컨대 $10^{14} \text{ cm}^{-3} \sim 10^{19} \text{ cm}^{-3}$ 의 불순물 농도로 붕소를 함유하는 P형 반도체 기판(102)상에 메모리 셀 영역(MC), 저압계(LV계) 트랜지스터 영역(LV) 및 고압계(HV계) 트랜지스터 영역(HV), 그리고 이들 사이의 경계부(BS)가 배치된다. 기판(102)내에 N형 웰(102n)과 P형 웰(102p)이 형성된다. N형 웰(102n)내에 P형 웰(102p)이 형성되면, P형 반도체 기판(102)과 독립해서 P형 웰(102p)에 전압을 인가할 수 있다. 이에 따라, 소거시의 승압 회로 부하를 줄여서 소비 전력을 억제할 수 있다.

메모리 셀 영역(MC)에서 터널 게이트 절연막(103)을 통해 전하 축적층(104)이 형성된다. 터널 게이트 절연막(103)은 예컨대 1nm~10nm 두께의 실리콘 산화막 또는 옥시나이트라이드막으로 이루어진다. 전하 축적층(104)은 예컨대 3nm~50nm 두께의 SiN, SiO로 이루어진다. 그 위에 예컨대 두께가 2nm~10nm 사이인 실리콘 산화막으로 이루어진 블록 절연막(105)이 형성된다.

이 블록 절연막(105)상에는 제어 게이트(106)가 10nm~500nm 두께로 형성되고, 메모리 셀 게이트(107) 및 선택 게이트(108)가 구성된다. 제어 게이트(106)는 예컨대 폴리실리콘이나 WSi(텅스텐실리사이드)와 폴리실리콘의 스택 구조 또는 NiSi, MoSi, TiSi, CoSi와 폴리실리콘의 스택 구조, 금속과 폴리실리콘의 스택 구조 또는 실리콘의 금속화합물이나 금속의 단층구조로 이루어진다. 그리고, 제어 게이트(106)상에는 10nm~300nm 정도 두께의 실리콘 산화막 또는 실리콘 질화막으로 이루어진 마스크 절연막이 배치된다.

LV계 트랜지스터 영역(LV)에 있어서는, 기판(102)상에 LV계 게이트 절연막(113)이 형성되고, 그 위에 LV계 게이트(109)가 형성된다. HV계 트랜지스터 영역(HV)에 있어서는, 기판(102)상에 HV계 게이트 절연막(110)이 형성되고, 그 위에 HV계 게이트(111)가 형성된다.

이들 각 영역(MC, LV, HV)에 있어서는 게이트 전극의 양측에는, 예컨대 5nm~200nm 두께의 실리콘 질화막 또는 실리콘 산화막으로 이루어진 측벽 절연막(119)이 형성된다. 또한, 기판(102)의 표면에 N형 확산층인 소스/드레인 확산층(112)이 형성된다. 이들 소스/드레인 확산층(112)과 메모리 셀 게이트(107)에 의해 MONOS형 불휘발성 EEPROM 셀이 형성된다. 전하 축적층의 게이트 길이는 예컨대 0.5 μ m 이하 0.01 μ m 이상이다.

이들 소스/드레인형 확산층(112)는 예컨대 인이나 비소, 안티몬을 표면 농도가 $10^{17} \text{ cm}^{-3} \sim 10^{21} \text{ cm}^{-3}$ 가 되도록, 예컨대 깊이 10nm~500nm 사이에서 형성된다. 그리고, 이들 소스/드레인형 확산층(112)은 메모리 셀 기리 직렬로 접속되어 NAND 접속이 실현된다. 또한, 선택 게이트(108)의 일단측 소스/드레인형 확산층(112)은 콘택트 플러그(115)를 통해 데이터 전송선(116)에 접속된다.

선택 게이트(108)는 메모리 셀 게이트(107)의 제어 게이트(106)와 동층으로 형성된다. 콘택트 플러그(115)는 예컨대 N형 또는 P형에 도핑된 폴리실리콘이나 텅스텐 및 텅스텐 실리사이드, Al, TiN, Ti 등이 충전되어 반도체 영역으로 된다. 데이터 전송선(116)은 텅스텐이나 텅스텐 실리사이드, 티탄, 티탄나이트라이드 또는 알루미늄으로 이루어진다.

선택 게이트(108)는 메모리 셀 게이트(107)의 전하 축적층(104)과 동일한 구성의 게이트 절연막(117)을 통해 기판(102)과 대향하여 선택 트랜지스터를 형성한다. 선택 게이트(108)의 게이트 길이는 메모리 셀 게이트의 게이트 길이보다 길고, 예컨대 1 μ m 이하 0.02 μ m 이상으로 형성된다. 이에 따라, 블록 선택시와 비선택시의 온오프비를 크게 확보할 수 있어 잘못된 기입이나 판독을 방지할 수 있다.

이들 각 소자는 예컨대 SiO₂ 나 SiN으로 이루어진 층간막(118)에 의해 충전된다. 그리고, 이 층간막(118) 상부에는 예컨대 SiO₂ 나 SiN 또는 폴리이미드로 이루어진 절연막 보호층(도시 생략)이나 예컨대 W, Al이나 Cu로 이루어진 상부 배선(도시 생략)이 형성된다.

메모리 셀 영역(MC)과 LV계 트랜지스터 영역 사이에도 1a에 도시한 바와 같은 구조의 제1 소자 분리 영역(120)이 형성된다. LV계 트랜지스터와 HV계 트랜지스터 영역(HV) 사이에는 도 27b에 도시한 바와 같은 구조의 제2 소자 분리 영역(121)이 형성된다.

LV계 트랜지스터 영역(LV)의 소스/드레인형 확산층(112)에는 콘택트 플러그(122)가 접속된다. 콘택트 플러그(122)는 배선(123)에 접속된다. 또한, HV계 트랜지스터 영역(HV)의 소스/드레인형 확산층(112)에는 콘택트 플러그(124)가 접속된다. 콘택트 플러그(124)는 배선(125)에 접속된다.

본 실시 형태에서는, MONOS형 EEPROM 셀을 사용하기 때문에, 후술하는 부유 게이트형 EEPROM 셀보다 기입 전압 및 소거 전압을 저전압화할 수 있다. 따라서, 주변 회로 트랜지스터에 있어서, 소자 분리 간격을 좁혀서 게이트 절연막 두께를 박막화해도 내압을 유지할 수 있다.

따라서, 고전압이 인가되는 회로의 면적을 작게 할 수 있으므로 보다 칩 면적을 축할 수 있다. 그리고, 부유 게이트형 메모리 셀과 비교하여 전하 축적층(104)의 두께를 20nm 이하로 작게 할 수 있다. 따라서, 게이트 형성시의 에스펙트비를 저감할 수 있고, 게이트 전극의 가공 형상을 향상시켜 층간막(118)의 게이트 사이의 매립 특성도 향상시킬 수 있으므로 내압을 향상시킬 수 있다.

또한, 부유 게이트 전극을 형성하기 위한 프로세스나 슬릿 작성 프로세스가 불필요하므로, 프로세스 공정을 보다 짧게 할 수 있다. 또한, 전하 축적층(104)이 절연체이고, 1개 1개의 전하 트랩에 전하가 포획되기 때문에, 방사선에 대해 전하가 다져나가기 어려워 강한 내성을 부여할 수 있다. 그리고, 전하 축적층(104)의 측벽 절연막이 박막화되어도 전하 축적층(104)에 포획된 전하가 모두 다져나가지 않고 양호한 저장 특성을 유지할 수 있다.

도 35에 도시한 선택 트랜지스터는 메모리 셀 트랜지스터와 동일한 MONOS 구조로 되어 있다. 이 경우, 선택 트랜지스터와 메모리 셀 트랜지스터를 작성 분리하기 위한 공정을 생략할 수 있으므로 제조 비용이 삭감된다. 또한, 분류를 위한 여유를 둘 필요가 없으므로 선택 트랜지스터와 메모리 셀 사이의 거리도 작게 할 수 있으므로 소자 면적을 축소할 수 있다.

도 35에 도시한 구조에 있어서는, 게이트가 형성되어 있지 않은 기판(102)상에는 게이트 절연막은 존재하지 않는다.

도 36은 도 35에 도시된 구조의 변형예를 도시한다. 여기에서는 도 35에 있어서의 제1 소자 분리 영역(120)이 없고, 대신에 메모리 셀 영역(MC)과 LV계 트랜지스터 영역(LV) 사이의 경계부(BS)에 게이트 구조(130)가 형성된다. 게이트 구조(130)에 있어서, 기판(102)상에서 메모리 셀 영역(MC)측에는 선택 게이트(108)의 게이트 절연막(117)이 형성되고, 메모리 셀 영역(MC)에서 먼 측에는 LV계 게이트 절연막(113)이 형성된다. 게이트 절연막(117)과 LV계 게이트 절연막(113) 사이에 직접 기판(102)에 접촉하도록 게이트 전극 재료가 형성된다. 이 게이트 구조의 측벽에는 절연막(119)이 형성된다. 게이트 구조(130)는 절연막이나 도전체의 조성을 변경하여 도 15b에 도시한 경계부(BS)에 있어서의 전극층(53)과 동일한 방법으로 형성된다.

도 37은 도 35에 도시된 구조의 다른 변형예를 도시한다. 여기에서는 도 35에 도시한 구조에 있어서, 메모리 셀 영역(MC)측 게이트 전극 가공시에 게이트 절연막이 동시에 가공되지 않고 남는 경우의 구조이다. 즉, 메모리 셀 영역(MC) 및 이것에 인접하는 경계부(BS) 부분에 있어서, 반도체 기판 표면에는 터널 게이트 절연막(103) 및 전하 축적층(104)이 형성된다.

도 37에 있어서의 메모리 셀 영역(MC)과 VC계 트랜지스터 영역(LV)의 경계부(BS)의 구조로서, 도 40a 내지 도 40h에 도시한 구조를 채택할 수 있다. 또한, LV계 게이트 절연막과 HV계 게이트 절연막을 바꿔 넣음으로써, 메모리 셀 영역(MC)과 HV계 트랜지스터 영역(HV)의 경계부(BS)에도 이들 구조는 적용할 수 있다. 즉, 도 40a 내지 도 40h는 NAND형 MONOS 반도체 기억 장치의 경계부(BS)에 적용할 수 있다.

그리고, 각각의 경계부(BS)에 있어서 게이트 절연막을 형성하지 않고, 기판(102)을 노출시킨 구조로 하면, 도 35 및 도 36에 도시한 반도체 장치의 경계부(BS)에 적용할 수 있다. 또한, 각각의 경계부(BS)에 확산층(112)을 형성하지 않은 구조로 해도 된다. 그리고, 각 분류의 경계의 구조는 동일 구조로 통일해도 되고, 장소에 따라 다른 별도의 구조로 해도 된다.

도 40a에 도시한 경계부(BS)에서는, 도 1a에 도시한 구조와 동일한 소자 분리 영역(132)이 기판(102)중에 형성된다. 소자 분리 영역(132)의 메모리 셀 영역(MC)측에 터널 게이트 절연막(103) 및 전하 축적층(104)이 형성된다. 소자 분리 영역(132)의 양측에서 기판(102)중에 소스/드레인형 확산층(112)이 형성된다. 소자 분리 영역(132)의 트랜치의 저부에는 위로 볼록해진 볼록부를 갖는 단차가 형성된다. 이러한 경계부(BS)의 구조를 채택함으로써 STI 매립성을 향상시킬 수 있고, 디싱을 방지하여 면적을 축소시킬 수 있다.

도 40b에 도시한 경계부(BS)에서는, 도 40a에 도시한 구조에 있어서 소자 분리 영역(132)을 덮어 선택 게이트(108)와 동일한 게이트 구조가 형성된다. 이러한 경계부(BS)의 구조를 채택함으로써 STI 매립성을 향상시키고, 디싱을 방지하여 게이트 가공을 쉽게 할 수 있다.

도 40c에 도시한 경계부(BS)에서는, 도 14a에 도시한 구조와 동일한 소자 분리 영역(133)을 도 40a에 있어서의 소자 분리 영역(132)과 치환하여 형성한다. 이러한 경계부(BS)의 구조를 채택함으로써 STI의 내압을 향상시켜 면적 축소를 가능하게 할 수 있다.

도 40d에 도시한 경계부(BS)에서는, 도 40b에 도시한 구조에 있어서 소자 분리 영역(132)을 도 40c에 도시한 소자 분리 영역(133)과 교체하여 구성한다. 이러한 경계부(BS)의 구조를 채택함으로써 STI의 내압을 향상시켜 게이트 가공을 쉽게 할 수 있다.

도 40e에 도시한 경계부(BS)에서는, 도 2a에 도시한 구조와 동일한 구조가 형성된다. 경계부(BS)의 중앙에서 기판(102)상에는 메모리 셀 영역(MC) 및 LV계 트랜지스터 영역(LV)의 게이트 구조의 구성 재료로 형성되는 게이트 구조(134)가 형성된다. 게이트 구조(134)에 있어서, 기판(102)상에서 메모리 셀 영역(MC)측에 ONO막(131), LV계 트랜지스터 영역(LV)측에 LV계 게이트 절연막(113)이 형성된다. ONO막(131) 및 절연막(113)상에 전극층(20), 측벽 절연막(119) 등이 형성된다. 게이트 구조(134)로부터 메모리 셀 영역(MC)측에서 기판(102)상에 터널 게이트 절연막(103) 및 전하 축적층(104)이 형성된다. 게이트 구조(134)의 양측에서 기판(102)중에는 소스/드레인형 확산층(112)이 형성된다. 이러한 경계부(BS)의 구조를 채택함으로써 게이트 가공을 쉽게 하여 STI 기인의 불량을 회피할 수 있다.

도 40f에 도시한 경계부(BS)에서는, 도 2b에 도시한 구조와 동일한 경계부(BS)의 구조를 갖는다. 경계부(BS)의 중앙에서 기판(102)상에는 메모리 셀 영역(MC) 및 LV계 트랜지스터 영역(LV)의 게이트 구조의 구성 재료로 형성되는 게이트 구조(135)가 형성된다. 게이트 구조(135)에 있어서, 기판(102)상에서 메모리 셀 영역(MC)측에 ONO막(131), LV계 트랜지스터 영역(LV)측에 LV계 게이트 절연막(113)이 형성된다. ONO막(131)상에는 제어 게이트(108)와 동일한 적층 게이트 구조가 형성되고, LV계 게이트 절연막(113)상에는 LV계 게이트(109)의 하층 구조가 형성된다. 이 게이트 구조(135)의 측면에는 절연막(119)이 형성된다. 이러한 경계부(BS)의 구조를 채택함으로써 더스트를 저감하여 STI 기인의 불량을 회피할 수 있다.

도 40g에 도시한 경계부(BS)에서는, 도 15a에 도시한 구조와 동일한 경계부(BS)의 구조를 갖는다. 경계부(BS)의 중앙에서 기판(102)의 표면에 오목부(136)가 형성된다. 오목부(136)부터 메모리 셀 영역(MC)측에서 기판(102)상에 터널 게이트 절연막(103) 및 전하 축적층(104)이 형성된다. 이러한 경계부(BS)의 구조를 채택함으로써 더스트를 저감하여 STI 기인의 불량을 회피할 수 있다.

도 40h에 도시한 경계부(BS)에서는, 도 15b에 도시한 게이트 구조(130)와 동일한 구조가 도시된다. 여기에서는 경계부 중앙에서 반도체 기판(102)의 표면에 오목부가 형성되어 있으나, 도 15b와 마찬가지로 평탄해도 된다. 그리고, 이 게이트 구조에 있어서는 기판(102)의 표면에 절연막을 통하지 않고 전극층이 직접 접한다. 이러한 경계부(BS)의 구조를 채택함으로써 게이트 가공이 용이하고, 더스트를 저감하여 STI 기인의 불량을 회피하여 애스펙트비를 일치시킬 수 있다.

도 41a에는 메모리 셀의 게이트상에서 데이터 전송선에 수직인 방향에서의 단면이 도시된다. 또한, 도 41b에는 주변 트랜지스터의 게이트상에서 데이터 전송선에 수직인 방향에서의 단면이 도시된다.

도 41a, 도 41b에 도시한 바와 같이, 소자 분리 영역(300)에 의해 기판(102) 및 게이트 전극막의 측면이 덮인다. 따라서, 터널 게이트 절연막(103)을 형성하는 전의 에칭 소자 분리 영역의 단부가 노출되지 않고, 게이트 전극(106)이 기판(102)의 표면보다 하측에 오는 것을 메모리 셀 및 주변 트랜지스터의 양측에서 방지할 수 있다. 이것은 이 구조가 자기 정합 STI 방법에 의해 형성되기 때문이다. 이와 같이 하여 소자 분리 영역(300)과 터널 게이트 절연막(103)의 경계에서의 전계 집중이나 임계치가 저하된 기생 트랜지스터가 발생하기 어렵다. 그리고, 버드 비크(bird-beak)에 기인하는 기입 임계치의 저하 현상인 사이드 워크 현상이 발생하기 어려워지기 때문에 보다 신뢰성이 높은 트랜지스터를 형성할 수 있다.

도 42에는 NOR형 MONOS형 메모리 셀의 등가 회로도가 도시된다. 데이터 전송선(BL1, BL2)과 소스선(SL) 사이에 각각의 메모리 셀(M01, M02, M11, M12, M21, M22)의 소스, 드레인이 접속된다. 각각의 게이트에는 데이터 선택선(WL0, WL1, WL2)이 접속된다. 이와 같은 NOR형 MONOS형 메모리 셀에서도 본 실시 형태의 상기 구조를 적절히 변경해서 적용할 수 있다.

도 43에는 선택 트랜지스터에 끼워져서 복수의 메모리 셀이 직렬로 배치된 AND형 MONOS형 메모리 셀 블록의 등가 회로도가 도시된다. 불휘발성 메모리 셀(M0~M15)이 직렬로 접속된다. 메모리 셀(M0~M15)의 일단이 선택 트랜지스터(S1)를 통해 데이터 전송선(BL)에 접속된다. 메모리 셀(M0~M15)의 타단이 선택 트랜지스터(S2)를 통해 공통 소스선(SL)에 접속된다.

각각의 메모리 셀(M0~M15)의 제어 전극은 데이터 전송선(WL0~WL15)에 접속된다. 또한, 데이터 전송선을 따른 복수의 메모리 셀 블록에서 1개의 메모리 셀 블록을 선택해서 데이터 전송선에 접속하기 때문에, 선택 트랜지스터(S1)의 제어 전극은 블록 선택선(SSL)에 접속된다. 그리고, 선택 트랜지스터(S2)의 제어 전극은 블록 선택선(GSL)에 접속되어 점선으로 나타낸 영역에서 AND 메모리 셀 블록(B)을 형성한다.

여기에서는, 메모리 셀 블록(B)내에 16개의 메모리 셀이 접속되는 상태를 도시한다. 그러나, 데이터 전송선 및 데이터 선택선에 접속하는 메모리 셀의 수는 복수이면 되며, 2^n 개(n 은 양의 정수)인 것이 어드레스 디코딩을 함에 있어서 바람직하다. 또한, 선택 어드레스로서 반드시 메모리 셀 트랜지스터와 동일한 구조를 사용해야 하는 것은 아니다. 예컨대, 도 44에 도시한 바와 같이 선택 트랜지스터(S1, S2)로서 통상의 MOS 트랜지스터를 사용할 수 있다.

이와 같은 AND형 MONOS형 메모리 셀에 있어서도 본 실시 형태의 상기 구조를 적절히 변경해서 적용할 수 있다.

이어서, 도 45a 내지 도 48c를 이용하여 도 35에 도시한 본 실시 형태의 불휘발성 반도체 기억 장치의 제조 방법의 일례를 설명한다. 우선, 반도체 기판(102)의 표면에 희생 산화막(도시 생략)을 형성한다. 웰 불순물이나 채널 불순물을 필요에 따라 주입한 후에 희생 산화막을 제거한다.

이어서, 도 45a에 도시한 바와 같이, 반도체 기판(102)상에 예컨대 1nm~10nm 두께로 된 실리콘 산화막 또는 옥시나이트라이드막으로 이루어진 터널 게이트 절연막(103)을 형성한다. 이어서, 예컨대 SiN, SiON으로 이루어진 전하 축적층(104)을 3nm~50nm 두께로 형성한다. 이어서, 예컨대 두께 2nm~10nm 사이인 실리콘 산화막으로 이루어진 블록 절연막(105)을 형성한다. 그 위에 예컨대 폴리실리콘층(137)을 10nm~500nm의 두께로 퇴적한다.

이어서, 도 45b에 도시한 바와 같이, 메모리 셀 영역(MC)이 되는 부분을 포토레지스트층(139)으로 덮고, 그 외 영역의 폴리실리콘층(137), 블록 절연막(105), 전하 축적층(104) 및 터널 게이트 절연막(103)을 제거한다. 제거 방법은 습식 에칭 등의 등방성 에칭이나 RIE 등의 이방성 에칭 중 어느 것이어도 된다. 이어서, 도 45c에 도시한 바와 같이, 반도체 기판(102) 전면에 예컨대 5nm~50nm 두께로 이루어진 실리콘 산화막 또는 옥시나이트라이드막으로 이루어진 HV계 트랜지스터의 게이트 절연막(110)을 형성한다.

이어서, 도 46a에 도시한 바와 같이, HV계 트랜지스터 영역(HV)을 포토레지스트층(139)으로 덮고, 그 외의 영역에서

HV계 트랜지스터의 게이트 절연막(110)을 제거한다. 이어서, 도 46b에 도시한 바와 같이, 포토레지스트층(139)을 제거하여 반도체 기판(102) 전면에 예컨대 두께 1nm~10nm 사이의 실리콘 산화막 또는 옥시나이트라이트막으로 이루어진 LV계 게이트 절연막(113)을 형성하고, HV계 게이트 절연막(110)을 소정 막 두께로 형성한다. 이 HV계 게이트 절연막(110)을 통해 예컨대 폴리실리콘층(140)을 예컨대 10nm~500nm의 두께로 퇴적한다.

이 때, 메모리 셀 영역(MC)은 메모리 셀의 폴리실리콘층(137)상에 IV계 트랜지스터용 게이트 절연막(113) 및 폴리실리콘층(140)이 형성된 적층 구조로 된다. 여기서, 메모리 셀의 게이트 전극과 LV계 트랜지스터의 게이트 전극은 상이한 물질 및 막 두께를 사용해도 된다. 그러나, 동일 물질 및 동일 막 두께라면 게이트 전극을 동시에 에칭하기가 쉽다.

이어서, 도 46c에 도시한 바와 같이, LV계 트랜지스터 및 HV계 트랜지스터의 영역(주변 회로 영역)을 포토레지스트층(141)으로 덮고, 그 외 영역의 폴리실리콘층(140) 및 LV계 게이트 절연막을 제거한다. 제거 방법은 습식 에칭 등의 등방성 에칭이나 RIE 등의 이방성 에칭 중 어느 것이어도 된다. 이 때, 포토레지스트층(141)의 일부가 메모리 셀 영역(MC)에 걸리도록 한다. 따라서, 메모리 셀 영역(MC)과 주변 회로 영역의 분류의 경계부(BS)에서는 게이트 전극이 적층 구조 상태로 남는다.

이어서, 포토레지스트층(141)을 제거하고, 도 47a에 도시한 바와 같이 제1 마스크층(142) 및 제2 마스크층(143)을 퇴적한다. 제1 마스크층(142)은 예컨대 실리콘 질화막이고, 제2 마스크층(143)은 예컨대 실리콘 산화막이다. 이어서, 도 47b에 도시한 바와 같이, 소자 분리 영역의 형성을 위한 포토레지스트층(144)을 퇴적하여 소자 분리 패턴을 형성한다. 여기에서는 분류의 경계부(BS)에 레지스트를 남기지 않고 소자 분리 영역으로 하는 방법을 설명한다.

이어서, 도 47c에 도시한 바와 같이, 포토레지스트층(141), 제2 마스크층(143) 및 제1 마스크층(142)을 이방성 에칭에 의해 제거한 후, 폴리실리콘층(140)을 이방성 에칭에 의해 제거한다. 계속해서 소자 분리 영역 형성을 위해 반도체 기판(102)을 에칭하여 소자 분리 트렌치(145, 146)를 형성한다. 소자 분리 트렌치(145, 146)의 깊이는 예컨대 50nm~300nm 정도이다.

메모리 셀 영역(MC)과 LV계 트랜지스터 영역(LV)의 분류의 경계부(BS)에서는 도 46b에서 발생한 단차가 도 47b에서 남아 있기 때문에 소자 분리 영역의 저부상에서 위로 볼록한 형상이 된다. 볼록부의 단차는 도 46b에 있어서의 단차와 에칭 조건에 의존하는데, 예컨대 10nm~300nm 정도, 바람직하게는 30nm~100nm 정도이다. 또한, 소자 분리 트렌치의 깊이도 접하는 영역에 따라 달라지며, 이것은 메모리 셀 영역(MC)의 ONO막 두께와 LV계 트랜지스터 영역(LV)의 게이트 절연막과 HV계 트랜지스터 영역(HV)의 막 두께의 차이를 반영하여 게이트 절연막이 얇을수록 소자 분리의 깊이가 깊어진다. LV계 트랜지스터 영역(LV)과 HV계 트랜지스터 영역(HV)의 분류의 경계부(BS)에서는, 도 46b에서 발생한 단차가 도 47b에 남아 있기 때문에 소자 분리 트렌치(146) 저부의 깊이도 달라진다.

이어서, 도 48a에 도시한 바와 같이, 실리콘 산화막 등의 절연막으로 소자 분리 트렌치(145, 146)를 매립하고, CMP 등의 방법으로 제1 마스크층(142)을 스톱퍼로 하여 매립재를 에칭한다. 경계부(BS)에서의 소자 분리 영역은 소자 분리 깊이가 얕아져 있기 때문에 매립성은 양호하며 에칭후에는 소자 분리 절연막의 상부는 거의 평탄해진다. 제1 마스크층(142)을 제거한 후, 노출면 전면에 게이트 전극층(140)을 퇴적한다. 게이트 전극층(140)은 다결정 실리콘 또는 다결정 실리콘과 금속 혹은 실리콘과 금속 화합물의 적층막 또는 금속 혹은 실리콘과 금속 화합물의 단층막으로 이루어진다. 그리고, 10nm~300nm 정도 깊이의 실리콘 산화막 또는 실리콘 질화막으로 이루어진 마스크 절연막(104)이 퇴적된다.

이어서, 도 48b에 도시한 바와 같이, 게이트 전극을 가공하기 위한 포토레지스트층(148)을 퇴적하여 패턴을 형성한다. 이어서, 도 48c에 도시한 바와 같이, 포토레지스트층(148)을 마스크로 하여 게이트 전극을 이방성 에칭한다. 그 후, 후산화 등으로 가공의 대미지를 회복시킨다. 이어서, 필요에 따라 게이트 측벽 절연막(119)을 형성하여 확산층 불순물을 주입하여 소스/드레인형 확산층(112)을 형성한다.

이 때, 경계부(BS)는 레지스트를 남기지 않고, 경계부(BS)의 게이트 전극을 제거한다. 물론, 게이트 전극상에 실리콘 질화막이나 실리콘 산화막 등의 마스크층을 퇴적시키고, 이것을 마스크로 해서 게이트 전극을 가공해도 된다. 그리고 도시하지는 않았으나, 층간 절연막, 콘택트 플러그, 배선 등을 형성해서 도 35에 도시한 바와 같은 반도체 장치를 완성시킨다.

그리고, 반도체 기판상에 반도체 기판과 반대 도전형인 제1 웰을 형성하고, 그리고 그 위에 반도체 기판과 동일 도전형인 제2 웰을 형성하는 트윈 웰 구성으로 해도 된다.

본 실시 형태에서 제1 내지 제3 실시 형태와 동일한 효과를 얻을 수 있다. 또한, 주변 회로를 형성하는 트랜지스터는 MOS 구조로 게이트 산화막 두께가 상이한 2종류의 트랜지스터가 예시된다. 그러나, 주변 회로를 구성하는 트랜지스터는 그 게이트 산화막 두께가 3종류 이상인 경우에도 본 실시 형태는 적용할 수 있다.

(제5 실시 형태)

본 실시 형태에 있어서의 반도체 장치는, 불휘발성 기억 장치의 하나인 부유 게이트형 셀 구조를 갖는 NAND형 EEPROM, NOR형 EEPROM, AND형 EEPROM 또는 Virtual Ground Array형 EEPROM 중 어느 하나에 적용한다. 부유 게이트형 불휘발성 메모리에서는 메모리 셀을 구성하는 메모리 셀 트랜지스터, 주변 저전압 회로를 구성하는 비교적 얇은 게이트 산화막의 MOS 트랜지스터(이하, LV계 트랜지스터), 주변 고전압 회로를 구성하는 비교적 얇은 게이트 산화막의 MOS 트랜지스터(이하, HV계 트랜지스터) 중 적어도 3종류의 트랜지스터가 필요하다.

본 실시 형태에 있어서도 도 38 또는 도 39에 도시한 NAND형 메모리 셀의 등가 회로, 도 42에 도시한 NOR형 메모리 셀의 등가 회로, 도 43 또는 도 44에 도시한 AND형 메모리 셀의 등가 회로의 구성을 그대로 적용할 수 있다.

본 실시 형태에 관한 분류의 경계부(BS) 근방의 단면도를 도 49 내지 도 51에 도시한다.

여기에서, 부유 게이트형 메모리 셀과 LV계 트랜지스터는 제1 내지 제3 실시 형태에 의한 방법에 의해 분류되고, 그 경계부(BS)는 예컨대 도 49에 도시한 형상으로 되어 있다. 그러나, 제1 내지 제3 실시 형태에서 설명한 것과 마찬가지로 경계부(BS)에서의 접합의 유무, 소자 분리 트랜치의 유무 및 게이트 전극 제거의 유무를 임의로 조합할 수 있다.

도 49에 단면이 도시되는 반도체 장치에 있어서, 예컨대 $10^{14} \text{ cm}^{-3} \sim 10^{19} \text{ cm}^{-3}$ 의 불순물 농도로 보론을 함유하는 P형 반도체 기판(150)상에 반도체 셀 영역(MC), 저압계(LV계) 트랜지스터 영역(LV) 및 고압계(HV계) 트랜지스터 영역(HV), 그리고 이들 사이의 경계부(BS)가 배치된다. 기판(150)내에 N형 웰(150n)과 P형 웰(150p)이 형성된다. N형 웰(150n)내에 P형 웰(150p)이 형성되면, P형 반도체 기판(150)과 독립해서 P형 웰(150p)에 전압을 인가할 수 있다. 이에 따라, 소거시의 승압 회로 부하를 줄여서 소비 전력을 억제할 수 있다.

메모리 셀 영역(MC)에 터널 게이트 절연막(151)을 사이에 두고 전하 축적층(152)이 형성된다. 터널 게이트 절연막(151)은 예컨대 3nm~15nm 두께의 실리콘 산화막 또는 옥시나이트라이드막으로 이루어진다. 전하 축적층(152)은 예컨대 10nm~500nm 두께의 인 또는 비소를 $10^{18} \text{ cm}^{-3} \sim 10^{21} \text{ cm}^{-3}$ 첨가한 폴리실리콘으로 이루어진다.

전하 축적층(152)에 대해 자기 정합적으로 예컨대 실리콘 산화막으로 이루어진 소자 분리 절연막(도시 생략)이 형성된다. 이것은 예컨대 반도체 기판(150)상에 터널 게이트 절연막(151) 및 전하 축적층(152)을 전면 퇴적한 후, 패터닝하여 반도체 기판(150)에 도달할 때까지 반도체 기판(150)을 예컨대 0.5nm~300nm의 깊이까지 에칭하고, 절연막을

매립하여 형성할 수 있다. 이와 같이 터널 게이트 절연막(151) 및 전하 축적층(152)을 단차가 없는 평면에 전면 형성할 수 있기 때문에, 균일성이 보다 향상된 특성이 고른 막의 제조를 행할 수 있다.

그 위에, 인터폴리 절연막(153)을 통해 제어 게이트 전극(154)이 형성된다. 인터폴리 절연막(153)은 예컨대 5nm~30nm 두께의 실리콘 산화막 또는 옥시나이트라이드막 또는 실리콘 산화막/실리콘 질화막/실리콘 산화막으로 이루어진다. 게이트 전극(154)은 예컨대 10nm~500nm 두께의 인, 비소 또는 보론을 $10^{17} \text{ cm}^{-3} \sim 10^{21} \text{ cm}^{-3}$ 을 불순물 첨가한 폴리실리콘 또는 WSi(텅스텐 실리사이드)와 폴리실리콘의 스택 구조 또는 NiSi, MoSi, TiSi, CoSi와 폴리실리콘의 스택 구조로 이루어진다. 터널 게이트 절연막(151), 전하 축적층(152), 인터폴리 절연막(153), 게이트 전극(154)로 이루어진 적층 구조로 메모리 셀 게이트(161)와 선택 게이트(162)가 형성된다. 그리고, 제어 게이트 전극(154)상에 10nm~300nm 정도 두께의 실리콘 산화막 또는 실리콘 질화막으로 이루어진 마스크 절연막이 배치된다.

LV계 트랜지스터 영역(LV)에서는 기판(150)상에 LV계 게이트 절연막(155)이 형성되고, 그 위에 LV계 게이트 전극(150)이 형성된다. HV계 트랜지스터 영역(HV)에서는 기판(150)상에 HV계 게이트 절연막(157)이 형성되고, 그 위에 HV계 게이트 전극(158)이 형성된다. 선택 트랜지스터, LV계 트랜지스터, HV계 트랜지스터는 게이트 절연막에 접하는 게이트 전극에 직접 전위를 부여하기 위한 단자가 형성된다.

도 49에 도시한 바와 같이, 이들 게이트 전극의 양측에는 예컨대 5nm~200nm 두께의 실리콘 질화막 또는 실리콘 산화막으로 이루어진 측벽 절연막(159)이 형성된다. 또한, 기판(150)의 표면에 N형 소스/드레인형 확산층(160)이 형성된다. 이들 소스/드레인형 확산층(160)은 예컨대 인이나 비소, 안티몬을 표면 농도가 $10^{17} \text{ cm}^{-3} \sim 10^{21} \text{ cm}^{-3}$ 이 되도록 깊이 10nm~500nm 사이에서 형성된다. 그리고, 이들 소스/드레인형 확산층(160)은 인접하는 메모리 셀 트랜지스터끼리에서 공유되어 NAND 접속이 실현된다. 이들 소스/드레인형 확산층(160), 메모리 셀 게이트(161) 및 선택 게이트(162)에 의해 전하 축적층(152)에 축적된 전하량을 정보량으로 하는 부여 게이트형 EEPROM 셀이 형성된다. 이 게이트 길이는 예컨대 0.5 μm 이하 0.01 μm 이상이다.

선택 게이트(162)의 일단측의 소스/드레인형 확산층(160)은 콘택트 플러그(163)를 통해 데이터 전송선(167)에 접속된다. 게이트 전송선(167)은 텅스텐이나 텅스텐 실리사이드, 티탄, 티탄나이트라이드 또는 알루미늄으로 이루어진다. 콘택트 플러그(163)는 예컨대 N형 또는 P형에 도핑된 폴리실리콘이나 텅스텐 및 텅스텐실리사이드, Al, TiN, Ti 등이 충전되어 반도체 영역이 된다.

선택 게이트(162)는 선택 트랜지스터를 형성한다. 선택 게이트(162)의 게이트 길이는 메모리 셀 게이트(161)의 게이트 길이보다 길고, 예컨대 1 μm 이하 0.02 μm 이상으로 형성된다. 이에 따라, 블록 선택시와 비선택시의 온오프비를 크게 확보할 수 있어 잘못된 기입이나 판독을 방지할 수 있다.

이들 각 소자는 예컨대 SiO_2 나 SiN으로 이루어진 층간막(165)에 의해 충전된다. 그리고, 이 층간막(165) 상부에는 예컨대 SiO_2 나 SiN 또는 폴리이미드로 이루어진 절연막 보호층(도시 생략)이나, 예컨대 W, Al이나 Cu로 이루어진 상부 배선(도시 생략)이 형성된다.

메모리 셀 영역(MC)과 LV계 트랜지스터 영역(LV) 사이에는 도 1a에 도시한 바와 같은 구조의 제1 소자 분리 영역(166)이 형성된다. LV계 트랜지스터와 HV계 트랜지스터 영역(HV) 사이에는 도 27b에 도시한 바와 같은 구조의 제2 소자 분리 영역(167)이 형성된다.

LV계 트랜지스터 영역(LV)의 소스/드레인형 확산층(160)에는 콘택트 플러그(168)가 접속된다. 콘택트 플러그(168)는 배선(169)에 접속된다. 또한, HV계 트랜지스터 영역(HV)의 소스/드레인형 확산층(160)에는 콘택트 플러그(170)가 접속된다. 콘택트 플러그(170)는 배선(171)에 접속된다.

도 49에 도시한 선택 트랜지스터는 메모리 셀 트랜지스터와 동일한 적층 게이트 구조를 채택하고 있다. 이 경우, 선택 트랜지스터와 메모리 셀 트랜지스터를 분류하기 위한 공정을 생략할 수 있으므로 제조 비용이 삭감된다. 또한, 분류를 위한 여유를 둘 필요가 없으므로 선택 트랜지스터와 메모리 셀 사이의 거리를 작게 할 수 있으므로 소자 면적을 축소할 수 있다.

도 49에 도시한 구조에 있어서 게이트가 형성되어 있지 않은 기판(150)상에는 게이트 절연막은 존재하지 않는다.

도 50은 도 49에 도시된 구조의 변경예를 도시한다. 여기에서는 도 49에 도시한 구조에 대해 메모리 셀 영역(MC)에서의 제어 게이트, LV계 트랜지스터 영역(LV)에서의 LV계 게이트, 및 HV계 트랜지스터 영역(HV)에서의 HV계 게이트의 구조가 상이하고, 그 외는 동일하다.

제어 게이트(172)에서는 반도체 기판(150)상에 터널 게이트 절연막(151)을 통해 메모리 셀 게이트(161)에서의 게이트 전극(154)이 적층된다. 그 주위에 측벽 절연막(159)이 형성된다. LV계 게이트(173)에서는 반도체 기판(150)상에 LV계 게이트 절연막(155)을 통해 메모리 셀 게이트(161)에서의 게이트 전극(154)이 적층된다. 그 주위에 측벽 절연막(159)이 형성된다. HV계 게이트(174)에서는 반도체 기판(150)상에 HV계 게이트 절연막(157)을 통해 메모리 셀 게이트(161)에서의 게이트 전극(154)이 적층된다. 그 주위에 측벽 절연막(159)이 형성된다. 즉, 도 49에서는 주변 회로를 구성하는 트랜지스터나 선택 트랜지스터도 메모리 셀과 동일한 적층 게이트를 갖지만, 도 50과 같이 단층 게이트여도 된다.

도 51은 도 49에 도시된 구조의 다른 변경예를 도시한다. 여기에서는 도 50에 도시한 구조에 대해 각 트랜지스터 영역의 게이트 절연막이 각각의 영역의 노출된 반도체 기판(150) 표면을 피복하는 점이 상이하고, 그 외는 동일하다. 즉, 도 49 및 도 50에서는 게이트 전극을 에칭한 영역에는 게이트 절연막은 존재하지 않지만, 도 51에 도시한 바와 같이 반도체 기판(150) 전면에 게이트 절연막을 남겨도 된다.

도 49에 있어서의 메모리 셀 영역(MC)과 LV계 트랜지스터 영역(LV)의 경계부(BS)의 구조로서, 도 52a~도 52h에 도시한 구조를 채택할 수 있다. 여기서, LV계 게이트 절연막과 HV계 게이트 절연막을 바꿔 넣음으로써, 메모리 셀 영역(MC)과 HV계 트랜지스터 영역(HV)의 경계부(BS)에도 이들 구조는 적용할 수 있다.

각 분류의 경계의 구조는 동일 구조로 통일해도 되고, 장소에 따라 다른 별도의 구조로 해도 된다. 또한, 각각의 경계부(BS)에 있어서 확산층(160)을 형성하지 않는 구조로 해도 된다.

도 52a에 도시한 경계부(BS)에서는, 도 1a에 도시한 구조와 동일한 소자 분리 영역(166)이 기판(150)중에 형성된다. 소자 분리 영역(166)의 양측에서 기판(102)중에 소스/드레인형 확산층(160)이 형성된다. 소자 분리 영역(166)의 트랜치의 저부에는 위로 볼록해진 볼록부를 갖는 단차가 형성된다. 이러한 경계부(BS)의 제조를 채택함으로써 STI 매립성을 향상시킬 수 있고, 디싱을 방지하여 면적을 축소시킬 수 있다.

도 52b에 도시한 경계부(BS)에서는, 도 52a에 도시한 구조에 있어서 소자 분리 영역(166)을 덮어 게이트 구조가 형성된다. 이 게이트 구조는 경계부(BS)의 터널 게이트 절연막(151) 및 LV계 게이트 절연막(155)상에 선택 게이트(162)와 동일한 구조를 갖고, 소자 분리 영역(166)상에 전하 축적층(152)을 제외한 선택 게이트(162)와 동일한 구조를 갖는다. 이러한 경계부(BS)의 구조를 채택함으로써 STI 매립성을 향상시키고, 디싱을 방지하여 게이트 가공을 쉽게 할 수 있다.

도 52c에 도시한 경계부(BS)에서는, 도 14a에 도시한 구조와 동일한 소자 분리 영역(175)을 도 52a에 있어서의 소자 분리 영역(166)과 치환하여 형성한다. 이러한 경계부(BS)의 구조를 채택함으로써, STI의 내압을 향상시켜 면적 축소를 가능하게 할 수 있다.

도 52d에 도시한 경계부(BS)에서는, 도 52b에 도시한 구조에 있어서 소자 분리 영역(166)을 도 52c에 도시한 소자 분리 영역(175)과 교체함으로써 구성한다. 이러한 경계부(BS)의 구조를 채택함으로써 STI의 내압을 향상시켜 게이트 가공을 쉽게 할 수 있다.

도 52e에 도시한 경계부(BS)에서는, 도 2a에 도시한 구조와 동일한 구조가 형성된다. 경계부(BS)의 중앙에서 기판(150)상에는 메모리 셀 영역(MC) 및 LV계 트랜지스터 영역(LV)의 게이트 구조의 구성 재료로 형성되는 게이트 구조(176)가 형성된다. 게이트 구조(176)에 있어서, 기판(150)상에서 메모리 셀 영역(MC)측에 터널 절연막(151), LV계 트랜지스터 영역(LV)측에 LV계 게이트 절연막(155)이 형성된다. 터널 절연막(151) 및 절연막(155)상에 전극층(20), 측벽 절연막(159) 등이 형성된다. 게이트 구조(176)의 양측에서 기판(150)중에는 소스/드레인형 확산층(160)이 형성된다. 이러한 경계부(BS)의 구조를 채택함으로써, 게이트 가공을 쉽게 하여 STI에 기인한 불량을 회피할 수 있다.

도 52f에 도시한 경계부(BS)에서는, 도 2b에 도시한 구조와 동일한 경계부(BS)의 구조를 갖는다. 경계부(BS)의 중앙에서 기판(150)상에는 메모리 셀 영역(MC) 및 LV계 트랜지스터 영역(LV)의 게이트 구조의 구성 재료로 형성되는 게이트 구조(177)가 형성된다. 게이트 구조(177)에 있어서, 기판(150)상에서 메모리 셀 영역(MC)측에 터널 절연막(151), LV계 트랜지스터 영역(LV)측에 LV계 게이트 절연막(155)이 형성된다. 터널 절연막(155)상에는 제어 게이트(162)와 동일한 적층 게이트 구조가 형성되고, LV계 게이트 절연막(155)상에는 LV계 게이트(156)의 하층 구조가 형성된다. 이 게이트 구조(177)의 측면에는 절연막(159)이 형성된다. 이러한 경계부(BS)의 구조를 채택함으로써 더스트를 저감하여 STI에 기인한 불량을 회피할 수 있다.

도 52g에 도시한 경계부(BS)에서는, 도 15a에 도시한 구조와 동일한 경계부(BS)의 구조를 갖는다. 기판(150)상에는 오목부(178)가 형성된다. 이러한 경계부(BS)의 구조를 채택함으로써 더스트를 저감하여 STI에 기인한 불량을 회피할 수 있다.

도 52h에 도시한 경계부(BS)에서는, 도 15b에 도시한 선택 게이트(162)와 동일한 구조가 도시된다. 여기에서는 경계부 중앙에서 반도체 기판(150)의 표면에 오목부가 형성되어 있으나, 도 15b와 마찬가지로 평탄해진다. 그리고, 이 게이트 구조에 있어서는 기판(150)의 표면에 절연막을 통하지 않고 전극층이 직접 접한다. 이러한 경계부(BS)의 구조를 채택함으로써 게이트 가공이 용이하고, 더스트를 저감하여 STI에 기인한 불량을 회피하여 애스펙트비를 일치시킬 수 있다.

도 53a에는 메모리 셀의 게이트상에서 데이터 전송선에 수직인 방향에서의 단면이 도시된다. 또한, 도 53b에는 주변 트랜지스터의 게이트상에서 데이터 전송선에 수직인 방향에서의 단면이 도시된다.

도 53a, 도 53b에 도시한 바와 같이, 소자 분리 영역(301)에 의해 기판(150) 및 게이트 전극막의 측면이 덮인다. 따라서, 터널 게이트 절연막(151)을 형성하기 전의 예칭으로 소자 분리 영역의 단부가 노출되지 않고, 게이트 전극(154)이 기판(150)의 표면보다 하측에 오는 것을 메모리 셀 및 주변 트랜지스터의 양측에서 방지할 수 있다. 이와 같이 하여 소자 분리 영역(301)과 터널 게이트 절연막(151)의 경계에서의 전계 집중이나 임계치가 저하된 기생 트랜지스터가 발생하기 어렵다. 그리고, 버드 비크에 기인하는 기입 임계치의 저하 현상인 사이드 워크 현상이 발생하기 어려워지기 때문에 보다 신뢰성이 높은 트랜지스터를 형성할 수 있다.

이어서, 도 54a 내지 도 57c를 이용하여 도 49에 도시한 본 실시 형태의 불휘발성 반도체 기억 장치의 제조 방법의 일례를 설명한다. 우선, 반도체 기판(150)의 표면에 희생 산화막(도시 생략)을 형성한다. 웰 불순물이나 채널 불순물을 필요에 따라 주입한 후, 희생 산화막을 제거한다.

이어서, 도 54a에 도시한 바와 같이, 반도체 기판(150)상에 예컨대 3nm~15nm 두께로 된 실리콘 산화막 또는 옥시나이트라이드막으로 형성된 터널 게이트 절연막(151)을 형성한다. 이어서, 예컨대 폴리실리콘을 10nm~500nm 두께로 퇴적하여 전하 축적층(152)을 형성한다.

이어서, 도 54b에 도시한 바와 같이, 메모리 셀 영역(MC)이 되는 부분을 포토레지스트층(180)으로 덮고, 그 외 영역의 게이트 전극 및 게이트 절연막을 제거한다. 제거 방법은 습식 에칭 등의 등방성 에칭이나 RIE 등의 이방성 에칭 중 어느 것이어도 된다. 이어서, 도 54c에 도시한 바와 같이, 반도체 기판(150) 전면예컨대 5nm~50nm의 두께로 이루어진 실리콘 산화막 또는 옥시나이트라이드막으로 이루어진 HV계 트랜지스터의 게이트 절연막(157)을 형성한다.

이어서, 도 55a에 도시한 바와 같이, HV계 트랜지스터 영역(HV)을 포토레지스트층(181)으로 덮고, 그 외의 영역에서 HV계 트랜지스터 영역(HV)의 게이트 절연막을 제거한다. 이어서, 도 55b에 도시한 바와 같이, 반도체 기판(150) 전면예컨대 두께 1nm~10nm 사이의 실리콘 산화막 또는 옥시나이트라이드막으로 이루어진 LV계 게이트 절연막(155)을 형성한다. 그리고 그위에 예컨대 폴리실리콘을 10nm~500nm의 두께로 퇴적한다.

이 때, 메모리 셀 영역(MC)은 메모리 셀의 게이트 전극상에 LV계 트랜지스터의 게이트 절연막(155) 및 제1 게이트 전극(182)이 형성된 적층 구조로 된다. 또한, 미리 형성되어 있던 HV계 트랜지스터의 게이트 절연막(157)의 막 두께도 증가한다. 여기서, 메모리 셀의 게이트 전극과 LV계 트랜지스터의 게이트 전극은 상이한 물질 및 막 두께를 사용해도 된다. 그러나, 동일 물질 및 동일 막 두께라면 게이트 전극을 동시에 에칭하기가 쉽다.

이어서, 도 55c에 도시한 바와 같이, LV계 트랜지스터 및 HV계 트랜지스터의 영역(주변 회로 영역)을 포토레지스트층(183)으로 덮고, 그 외 영역의 게이트 전극 및 게이트 절연막을 제거한다. 제거 방법은 습식 에칭 등의 등방성 에칭이나 RIE 등의 이방성 에칭 중 어느 것이어도 된다. 이 때, 포토레지스트층(183)의 일부가 메모리 셀 영역(MC)에 걸리도록 한다. 따라서, 메모리 셀 영역(MC)과 주변 회로 영역의 분류의 경계부(BS)에서는 게이트 전극이 적층 구조 상태로 남는다.

이어서, 도 56a에 도시한 바와 같이, 포토레지스트층(183)을 제거하고 제1 마스크층(184) 및 제2 마스크층(185)을 퇴적한다. 제1 마스크층(184)은 예컨대 실리콘 질화막이고, 제2 마스크층(185)은 예컨대 실리콘 산화막이다. 이어서, 도 56b에 도시한 바와 같이, 소자 분리 영역의 형성을 위한 포토레지스트층(186)을 퇴적하여 소자 분리 패턴을 형성한다. 여기에서는 분류의 경계부(BS)에 레지스트를 남기지 않고 소자 분리 영역으로 하는 방법을 설명한다.

이어서, 포토마스크층(186), 제2 마스크층(185)을 이방성 에칭에 의해 제거한 후, 제1 게이트 전극(152,182)을 이방성 에칭에 의해 제거한다. 계속해서 소자 분리 영역 형성을 위해 반도체 기판(150)을 에칭하여 제1 및 제2 소자 분리 트렌치를 형성한다. 소자 분리 트렌치의 깊이는 예컨대 50nm~300nm 정도이다.

분류의 경계부(BS)는 도 56b에서 도시한 단차 때문에 소자 분리 영역의 저부에서 위로 볼록한 형상이 된다. 볼록부의 단차는 도 56b에 있어서의 단차와 에칭 조건에 의존하는데, 예컨대 10nm~300nm 정도, 바람직하게는 30nm~100nm 정도이다. 또한, 소자 분리 영역의 저부의 깊이도 접하는 영역에 따라 달라지며, 이것은 메모리 셀의 터널 절연막 두께와 LV계 트랜지스터의 게이트 절연막과 HV계 트랜지스터의 게이트 절연막 두께의 차이를 반영하여 게이트 절연막이 얇을수록 소자 분리의 깊이가 깊어진다.

그리고, 실리콘 산화막 등의 절연막으로 소자 분리 영역 홈을 매립하고, CMP 등의 방법으로 제1 마스크층(184)을 스톱퍼로 하여 매립재를 에칭한다. 소자 분리 경계부(BS)는 소자 분리 깊이가 얕아져 있기 때문에 매립성은 양호하며 에칭후에는 소자 분리 절연막의 상부는 거의 평탄해진다. 제1 마스크층(184)을 제거하고, LV계 트랜지스터 영역(LV) 및 HV계 트랜지스터 영역(HV)의 제1 게이트 전극(182)을 전하 축적층(152)과 동일한 막 두께로 한다. 그 후, 소자 분리 트렌치에 매립한 절연막을 에칭한다. 이 때의 형상을 도 56c에 도시한다.

이어서, 도 57a에 도시한 바와 같이, 예컨대 5nm~30nm 사이의 실리콘 산화막 또는 옥시나이트라이드막 또는 실리콘

산화막/실리콘 질화막/실리콘 산화막으로 이루어진 인터폴리 절연막(153)을 형성한다. 이어서, 도 57b에 도시한 바와 같이, 반도체 기판(150) 전면에 게이트 전극(154)을 퇴적한다. 게이트 전극(154)은 다결정 실리콘 또는 다결정 실리콘과 금속 혹은 실리콘과 금속 화합물의 적층막 또는 금속 혹은 실리콘과 금속 화합물의 단층막으로 이루어진다. 그리고, 10nm~300nm 정도 두께의 실리콘 산화막 또는 실리콘 질화막으로 이루어진 마스크 절연막이 퇴적된다. 이어서, 게이트 전극을 가공하기 위한 포토레지스트층(187)을 퇴적하여 패턴을 형성한다. 이어서, 포토레지스트층(187)을 마스크로 하여 게이트 전극을 이방성 에칭한다. 이어서, 후산화 등으로 가공의 대미지를 회복시킨다.

이어서, 도 57c에 도시한 바와 같이, 필요에 따라 게이트 측벽 절연막(159)을 형성하여 확산층 불순물을 주입하여 소스/드레인형 확산층(160)을 형성한다. 이 때, 경계부(BS)는 레지스트를 남기지 않고, 경계부(BS)의 게이트 전극은 제거한다. 그리고, 도시하지는 않았으나 층간 절연막, 콘택트 플러그, 배선 등을 형성해서 도 47에 도시한 바와 같은 반도체 장치를 완성시킨다.

본 실시 형태의 제조 방법에 있어서도, 제1 내지 제3 실시 형태 및 제4 실시 형태에 있어서의 제조 방법의 효과를 MONOS 특유의 효과 이외의 점에서 마찬가지로 얻을 수 있다.

(제6 실시 형태)

본 실시 형태는 도 58에 그 경계부(BS) 근방에서의 단면 구조가 도시된 바와 같이 MONOS형 메모리 셀 구조의 AND형 EEPROM에 적용한다. 도 58은 도 35에 도시된 구조의 또 다른 변형예라 할 수 있다. 여기에서는 메모리 셀 영역(MC)과 메모리 셀을 위한 선택 트랜지스터 영역(STR) 사이에 경계부(BS)가 형성된다. 이 경계부(BS)에는 도 40g, 도 15a에 도시한 구조와 마찬가지로 기판(102)의 표면에 오목부(136)가 형성된다. 오목부(136)로부터 메모리 셀 영역(MC)측에서 기판(102)상에 터널 게이트 절연막(103) 및 전하 축적층(104)이 형성된다. 바람직하게는 선택 트랜지스터(128)의 게이트 절연막을 LV계 게이트 절연막(113)과 공통으로 하면 공정을 간략화할 수 있다. 메모리 셀 블록의 등가 회로는 도 43 또는 도 44에 도시한 바와 같다. 경계부(BS)의 구조는 도 40a~도 40h 중 어느 것이어도 되며, 공정수 및 가공의 용이함 등의 관점에서 바람직한 형태를 사용할 수 있다.

이어서, 도 59a에는 메모리 셀의 게이트상에서 데이터 전송선에 수직인 방향에서의 단면이 도시된다. 또한, 도 59b에는 선택 트랜지스터의 게이트상에서 데이터 전송선에 수직인 방향에서의 단면이 도시된다.

도 59a, 도 59b에 도시한 바와 같이, 소자 분리 영역(302)에 의해 기판(102)의 측면이 덮인다. 따라서, ONO막(131)을 형성하기 전의 에칭으로 소자 분리 영역의 단부가 노출되지 않고, 게이트 전극(106, 108)이 기판(102)의 표면보다 하측에 오는 것을 메모리 셀 및 주변 트랜지스터의 양측에서 방지할 수 있다. 따라서, 기판(102)와 ONO막(131)의 경계에서의 게이트 집중이나 임계치 저하된 기생 트랜지스터가 발생하기 어렵다. 그리고, 버드 비크에 기인하는 기입 임계치의 저하 현상인 사이드 워크 현상이 발생하기 어려워지기 때문에 보다 신뢰성이 높은 트랜지스터를 형성할 수 있다.

선택 트랜지스터를 MOS 트랜지스터로 함으로써, 동작을 위한 전압 스트레스로 인한 임계치의 변동이 없어진다. 따라서, 신뢰성이 높은 불휘발성 메모리를 실현할 수 있다. 본 실시 형태에서도 제1 내지 제3 실시 형태 및 제4 실시 형태와 동일한 효과를 얻을 수 있다.

그리고, 이상의 각 실시 형태에서는 주변 회로 트랜지스터에 앞서 메모리 셀 트랜지스터를 형성하였으나, 분류의 순서는 이것으로 한정되지 않으며 주변 회로 트랜지스터를 먼저 작성해도 된다. 또한, 제4 실시 형태의 내지 제6 실시 형태에서는 메모리 셀 영역(MC)과 LV계 트랜지스터 영역(LV), HV계 트랜지스터 영역(HV)과 LV계 트랜지스터 영역(LV)이 각각 경계를 사이에 두고 인접해 있다. 그러나, 영역의 인접 태양은 이것으로 한정되지 않으며, 예컨대 메모리 셀 영역(MC)과 HV계 트랜지스터 영역(HV)이 경계부를 사이에 두고 인접해도 된다.

당해 기술 분야의 숙련자는 추가의 이점 및 수정을 용이하게 이룰 수 있을 것이다. 따라서, 넓은 태양의 본 발명은 도시되고 설명된 구체적인 상세부 및 대표적인 실시예들로 제한되지 않는다. 이에 따라, 첨부된 특허청구범위 및 그 균등물에 의해 한정되는 총괄적인 발명 개념의 사상 또는 범주로부터 벗어남이 없이 다양한 수정들이 이루어질 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 게이트 절연막의 막 두께 또는 막 종류가 상이한 2종류 이상의 트랜지스터를 갖는 반도체 장치에 있어서, 게이트 절연막을 소자 분리 트렌치 형성에 앞서 분류하여 경계부(BS)의 구조를 고안함으로써 공정수를 삭감하고 또한 반도체 장치를 고성능화할 수 있다.

또한, 상이한 2종류 이상의 게이트 절연막을 갖는 반도체 장치내의 각각의 트랜지스터 영역이 접하는 경계부(BS)에 있어서, 트렌치 소자 분리 또는 게이트 전극의 형상과 분류의 프로세스를 고안함으로써, 신뢰성이 높고 충분한 프로세스 마진과 디바이스 성능을 양립시킬 수 있다.

또한, 본 발명에 따르면, 소자 분리단에서의 소자 분리 산화막의 에칭이 없고 또한 게이트 절연막의 신뢰성이 높은 반도체 장치를 제공할 수 있다. 그리고, 메모리 셀의 게이트 절연막으로서 ONO막을 사용한 경우에는, 소자 분리단에서 ONO 막 두께가 불균일해지는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 장치에 있어서,

제1 및 제2 영역과 상기 제1 및 제2 영역 사이에서 양 영역에 접하여 배치된 경계부를 포함하는 주표면을 갖는 반도체 기판과,

상기 제1 영역내에서 상기 주표면상에 형성된 제1 게이트 절연막과,

상기 제1 게이트 절연막상에 형성된 제1 게이트 전극과,

상기 제1 게이트 전극을 사이에 두고 상기 주표면내에 형성된 1쌍의 제1 확산층과,

상기 제2 영역내에서 상기 주표면상에 형성되며 상기 제1 게이트 절연막과 상이한 막 재료 또는 막 두께를 갖는 제2 게이트 절연막과,

상기 제2 게이트 절연막상에 형성된 제2 게이트 전극과,

상기 제2 게이트 전극을 사이에 두고 상기 주표면내에 형성된 1쌍의 제2 확산층과,

상기 경계부내에 형성된 소자 분리 영역 -상기 소자 분리 영역은 상기 주표면내에 형성된 트렌치와, 상기 트렌치내에 매립된 부분 및 상기 주표면에서 상측으로 돌출하는 부분을 갖는 절연층을 포함하며, 상기 트렌치의 저부는 부분에 따라 깊이가 상이함-

을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2.

제1항에 있어서, 상기 트렌치의 저부는 상향의 볼록 부분을 갖고, 상기 볼록 부분은 상기 제1 및 제2 영역을 연결하는 방향에서의 폭이 100nm~10000nm이고, 상기 저부의 깊은 부분으로부터의 높이가 10nm~300nm인 것을 특징으로 하는 반도체 장치.

청구항 3.

제1항에 있어서, 상기 트렌치의 저부는 하향의 볼록 부분을 갖고, 상기 볼록 부분은 상기 제1 및 제2 영역을 연결하는 방향에서의 폭이 100nm~10000nm이고, 상기 저부의 얇은 부분으로부터의 높이가 10nm~200nm인 것을 특징으로 하는 반도체 장치.

청구항 4.

제1항에 있어서, 상기 제1 및 제2 게이트 절연막은 5nm~50nm의 막 두께 차를 갖고, 상기 트렌치의 저부는 상기 제1 및 제2 영역측의 단부 사이에서 5nm~50nm의 높이의 차를 갖는 것을 특징으로 하는 반도체 장치.

청구항 5.

제1항에 있어서, 상기 소자 분리 영역을 사이에 두고 상기 주표면내에 형성된 1쌍의 제3 확산층을 더 구비하고, 상기 제1 영역측의 상기 제3 확산층은 상기 제1 확산층과 공통인 층이며, 상기 제2 영역측의 상기 제3 확산층은 상기 제2 확산층과 공통인 층인 것을 특징으로 하는 반도체 장치.

청구항 6.

제1항에 있어서, 상기 소자 분리 영역을 덮도록 게이트 구조가 형성되고, 상기 게이트 구조는, 상기 제1 영역측의 단부에 상기 제1 게이트 절연막 및 상기 제1 게이트 전극의 적층 구조와 같은 구조 및 높이의 적층 구조를 포함하고, 상기 제2 영역측의 단부에 상기 제2 게이트 절연막 및 상기 제2 게이트 전극의 적층 구조와 같은 구조 및 높이의 적층 구조를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 7.

제1항에 있어서, 상기 제1 게이트 전극은 제1 하측 전극층과 제1 상측 전극층을 구비하고, 상기 제2 게이트 전극은 제2 하측 전극층과 제2 상측 전극층을 구비하며, 상기 제1 및 제2 하측 전극층은 별도의 도전막에서 유래하고, 상기 제1 및 제2 상측 전극층은 공통인 도전막에서 유래하는 것을 특징으로 하는 반도체 장치.

청구항 8.

제1항에 있어서, 상기 제1 게이트 전극은 전하 축적층을 갖는 불휘발성 메모리 셀 트랜지스터의 게이트 전극이며, 상기 제2 게이트 전극은 주변 트랜지스터의 게이트 전극인 것을 특징으로 하는 반도체 장치.

청구항 9.

반도체 장치에 있어서,

제1 및 제2 영역과 상기 제1 및 제2 영역 사이에서 양 영역에 접하여 배치된 경계부를 포함하는 주표면을 갖는 반도체 기판과,

상기 제1 영역내에서 상기 주표면상에 형성된 제1 게이트 절연막과,

상기 제1 게이트 절연막상에 형성되며 제1 하측 전극층과 제1 상측 전극층을 구비하는 제1 게이트 전극과,

상기 제1 게이트 전극을 사이에 두고 상기 주표면내에 형성된 1쌍의 제1 확산층과,

상기 제2 영역내에서 상기 주표면상에 형성된 제2 게이트 절연막 -상기 제2 게이트 절연막은 상기 제1 게이트 절연막과 상이한 막 재료 또는 막 두께를 가짐- 과,

상기 제2 게이트 절연막상에 형성된 제2 게이트 전극 -상기 제2 게이트 전극은 제2 하측 전극층과 제2 상측 전극층을 구비하며, 상기 제1 및 제2 하측 전극층은 별도의 도전막에 유래하고, 상기 제1 및 제2 상측 전극층은 공통인 도전막에 유래함- 과,

상기 제2 게이트 전극을 사이에 두고 상기 주표면내에 형성된 1쌍의 제2 확산층과,

상기 경계부내에서 상기 주표면상에 형성된 게이트 구조 -상기 게이트 구조는, 상기 제1 및 제2 게이트 절연막과 공통인 절연막에 유래하는 제1 및 제2 절연막과, 상기 제1 하측 전극층과 공통인 도전막에 유래하며 또한 상기 제1 절연막상에 형성된 제1 하측 도전층을 포함함-

를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 10.

제9항에 있어서, 상기 게이트 구조에 있어서, 상기 제1 및 제2 절연막은 상기 주표면을 노출시키지 않고 피복하는 것을 특징으로 하는 반도체 장치.

청구항 11.

제10항에 있어서, 상기 경계부내의 상기 게이트 구조의 상기 제1 하측 도전층은 상기 제1 영역내의 상기 제1 하측 전극층보다도 얇은 것을 특징으로 하는 반도체 장치.

청구항 12.

제9항에 있어서, 상기 게이트 구조는, 상기 제2 하측 전극층과 공통인 도전막에 유래하고 또한 상기 제2 절연막상에 형성된 제2 하측 도전층과, 상기 제1 및 제2 상측 전극층과 공통인 도전막에 유래하고 또한 상기 제1 및 제2 하측 전극층상에 형성된 상측 도전층을 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 13.

제12항에 있어서, 상기 게이트 구조내에서, 상기 제2 절연막 및 상기 제2 하측 도전층의 단부는 상기 제1 하측 도전층의 단부의 상면상에 적층되는 것을 특징으로 하는 반도체 장치.

청구항 14.

제12항에 있어서, 상기 게이트 구조내에서, 상기 제1 및 제2 절연막 사이에 갭이 형성되고, 상기 상측 도전층은 상기 갭내에서 상기 기판에 콘택트하는 것을 특징으로 하는 반도체 장치.

청구항 15.

제9항에 있어서, 상기 게이트 구조를 사이에 두고 상기 주표면내에 형성된 1쌍의 제3 확산층을 더 구비하고, 상기 제1 영역측의 상기 제3 확산층은 상기 제1 확산층과 공통인 층이고, 상기 제2 영역측의 상기 제3 확산층은 상기 제2 확산층과 공통인 층인 것을 특징으로 하는 반도체 장치.

청구항 16.

제9항에 있어서, 상기 제1 게이트 전극은 전하 축적층을 갖는 불휘발성 메모리 셀 트랜지스터의 게이트 전극이며, 상기 제2 게이트 전극은 주변 트랜지스터의 게이트 전극인 것을 특징으로 하는 반도체 장치.

청구항 17.

반도체 장치에 있어서,

제1 및 제2 영역과 상기 제1 및 제2 영역 사이에서 양 영역에 접하여 배치된 경계부를 포함하는 주표면을 갖는 반도체 기판과,

상기 제1 영역내에서 상기 주표면상에 형성된 제1 게이트 절연막과,

상기 제1 게이트 절연막상에 형성되며 제1 하측 전극층과 제1 상측 전극층을 구비하는 제1 게이트 전극과,

상기 제1 게이트 전극을 사이에 두고 상기 주표면내에 형성된 1쌍의 제1 확산층과,

상기 제2 영역내에서 상기 주표면상에 형성된 제2 게이트 절연막 -상기 제2 게이트 절연막은 상기 제1 게이트 절연막과 상이한 막 재료 또는 막 두께를 가짐- 과,

상기 제2 게이트 절연막상에 형성된 제2 게이트 전극 -상기 제2 게이트 전극은 제2 하측 전극층과 제2 상측 전극층을 구비하며, 상기 제1 및 제2 하측 전극층은 별도의 도전막에 유래하고, 상기 제1 및 제2 상측 전극층은 공통인 도전막에 유래함- 과,

상기 제2 게이트 전극을 사이에 두고 상기 주표면내에 형성된 1쌍의 제2 확산층과,

상기 경계부내에서 상기 주표면상에 형성된, 상기 제1 및 제2 게이트 절연막과 공통인 절연막에 유래하는 제1 및 제2 절연막과, 상기 경계부내에서 상기 제1 및 제2 절연막 사이에 갭이 형성됨- 과,

상기 갭에 대응하여 상기 주표면내에 형성된 오목부를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 18.

반도체 장치의 제조 방법에 있어서,

제1 및 제2 영역과 상기 제1 및 제2 영역 사이에서 양 영역에 접하여 배치된 경계부를 포함하는 주표면을 갖는 반도체 기판상에 제1 절연막을 형성하는 공정과,

상기 제1 절연막의 상기 제1 영역 및 상기 경계부내의 부분상에 제1 하측 전극층을 형성하는 한편, 상기 제1 절연막의 상기 제2 영역내의 부분을 제거하여 상기 주표면을 노출시키는 공정과,

상기 제1 영역 및 상기 경계부내의 상기 제1 하측 전극층상 및 상기 제2 영역내의 상기 주표면상에 제2 절연막을 형성하는 공정 -상기 제2 절연막은 상기 제1 절연막과 상이한 막 재료 또는 막 두께를 가짐- 과,

상기 제2 절연막의 상기 제2 영역 및 상기 경계부내의 부분상에 제2 하측 전극층을 형성하는 한편, 상기 제2 절연막의 상기 제1 영역내의 부분을 제거하여 상기 제1 하측 전극층을 노출시키는 공정과,

상기 제1 및 제2 하측 전극층에 대해 자기 정합적으로 상기 제1 및 제2 영역내의 상기 주표면을 에칭하여, 상기 제1 및 제2 영역내에 소자 분리를 위한 트렌치를 형성하는 공정과,

상기 제1 및 제2 영역내의 상기 트렌치를 절연층으로 매립하여 소자 분리 영역을 형성하는 공정과,

상기 제1 및 제2 하측 전극층상에 상측 전극층을 형성하는 공정과,

상기 제1 및 제2 하측 전극층 및 상기 상측 전극층을 패턴 에칭하여 상기 제1 및 제2 영역내에 제1 및 제2 게이트 전극을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19.

제18항에 있어서, 상기 제1 및 제2 영역내의 상기 트렌치를 형성함과 동시에, 상기 경계부내의 상기 주표면을 상측에서 패턴 에칭하여, 상기 경계부내에 소자 분리를 위한 트렌치를 형성하는 공정과,

상기 경계부내의 상기 트렌치를 절연층으로 매립하여 소자 분리 영역을 형성하는 공정을 더 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20.

제19항에 있어서, 상기 경계부내에서 상기 제2 절연막 및 제2 하측 도전층의 단부를 상기 제1 하측 도전층의 단부의 상면상에 적층한 적층부를 형성하고, 이 상태에서 상기 경계부내의 상기 트렌치를 형성하기 위한 패턴 에칭을 행하여, 상기 경계부내의 상기 트렌치의 저부에 상기 적층부에 기인하는 상향의 볼록 부분을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21.

제19항에 있어서, 상기 경계부내에서 상기 제2 하측 도전층의 단부와 상기 제1 하측 도전층의 단부 사이에 갭을 형성하고, 이 상태에서 상기 경계부내의 상기 트렌치를 형성하기 위한 패턴 에칭을 행하여, 상기 경계부내의 상기 트렌치의 저부에 상기 갭에 기인하는 하향의 볼록 부분을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22.

제18항에 있어서, 상기 제1 및 제2 게이트 전극을 패턴 에칭할 때, 상기 경계부내의 상기 제1 및 제2 하측 전극층 및 상기 상측 전극층도 패턴 에칭하여, 그 일부를 상기 경계부내에 잔류시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 23.

제18항에 있어서, 상기 경계부내에서 상기 제2 절연막 및 상기 제2 하측 도전층의 단부를 상기 제1 하측 도전층의 단부의 상면상에 적층한 적층부를 형성하고, 이 상태에서 상기 적층부도 포함하는 범위에 상기 상측 전극층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

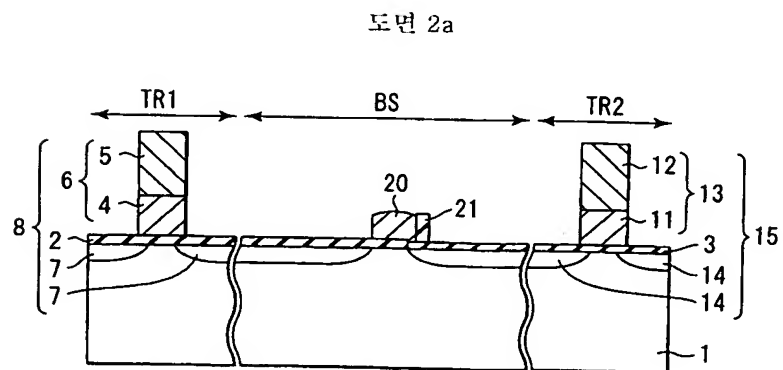
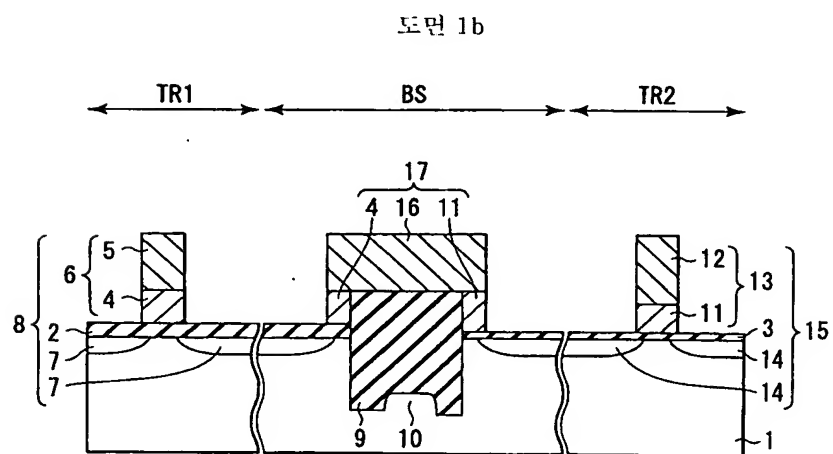
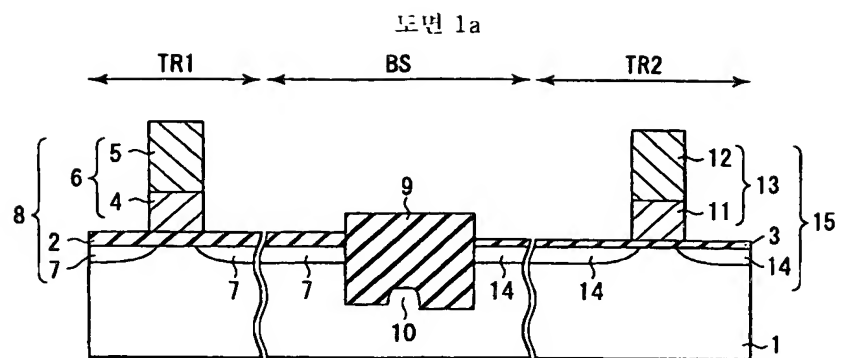
청구항 24.

제18항에 있어서, 상기 경계부내에서 상기 제2 하측 도전층의 단부와 상기 제1 하측 도전층의 단부 사이에 갭을 형성하고, 이 상태에서 상기 갭도 포함하는 범위에 상기 상측 전극층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

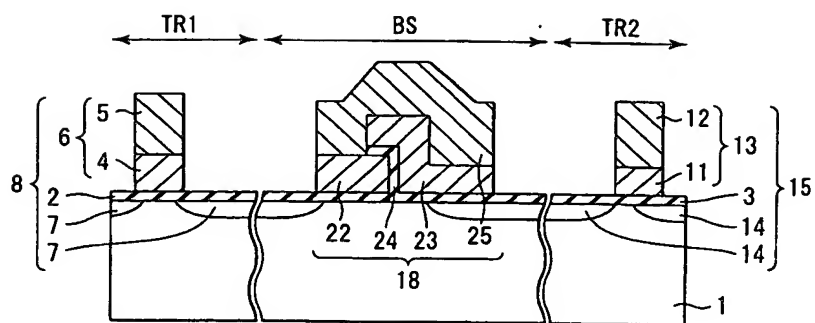
청구항 25.

제24항에 있어서, 상기 제1 및 제2 게이트 전극을 패턴 에칭할 때, 오버 에칭에 의해 상기 경계부내에서 상기 갭에 기인하는 오목부를 상기 주표면에 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

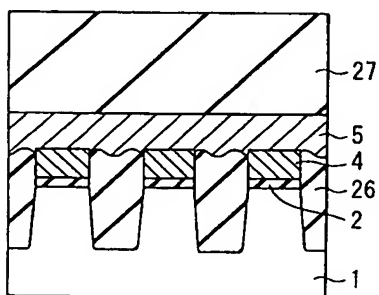
도면



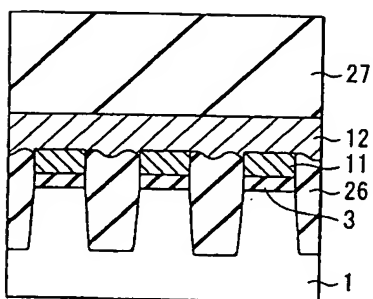
도면 2b



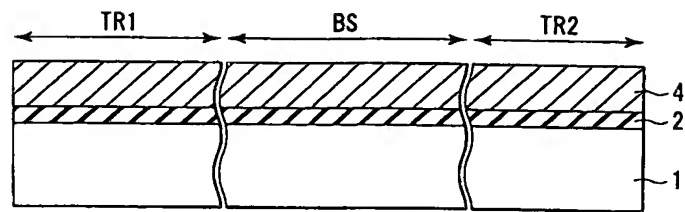
도면 3a



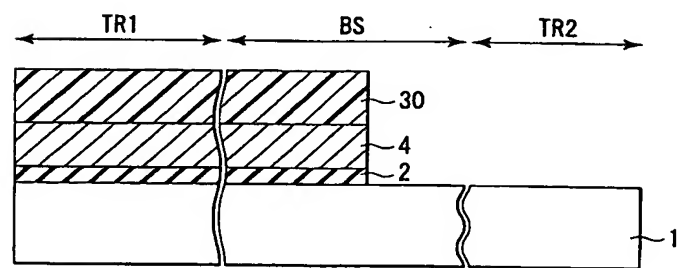
도면 3b



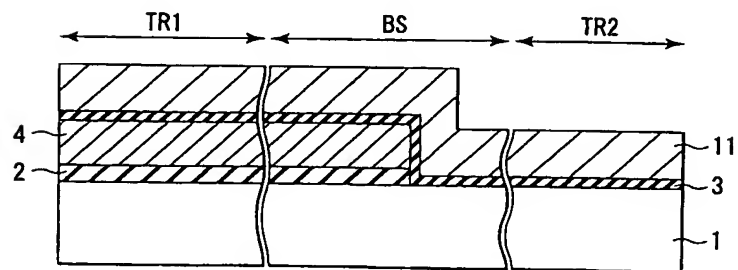
도면 4a



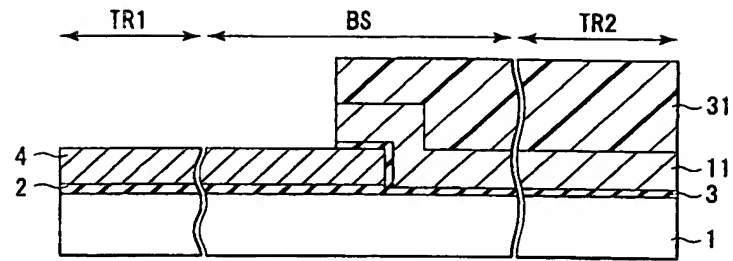
도면 4b



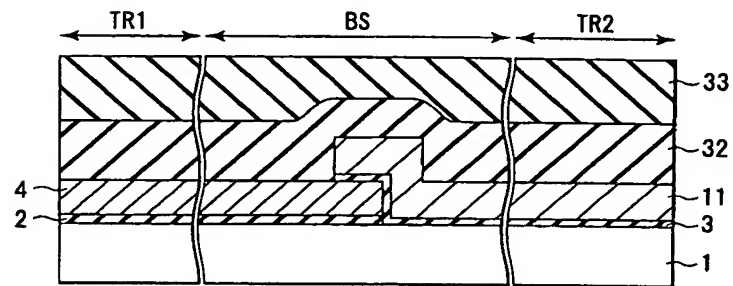
도면 4c



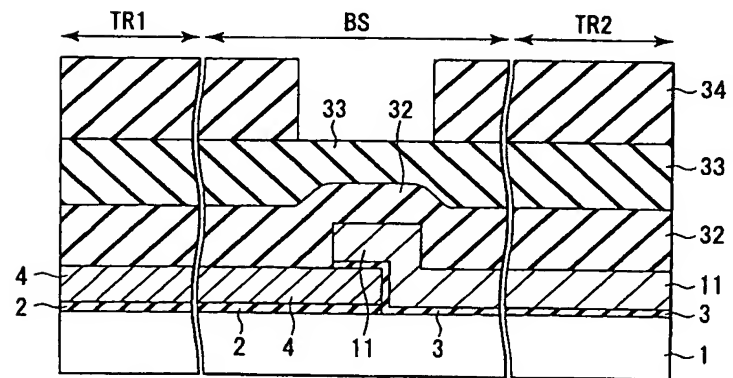
도면 5a



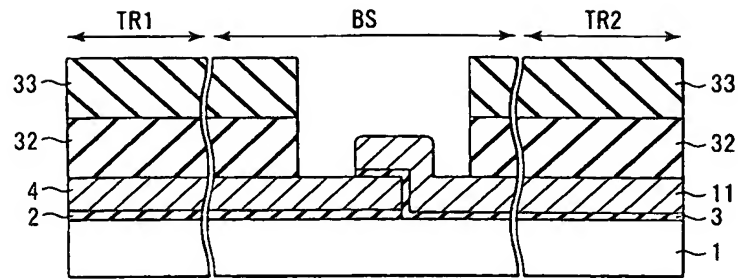
도면 5b



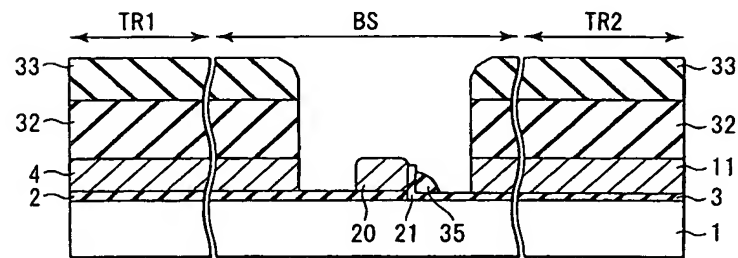
도면 5c



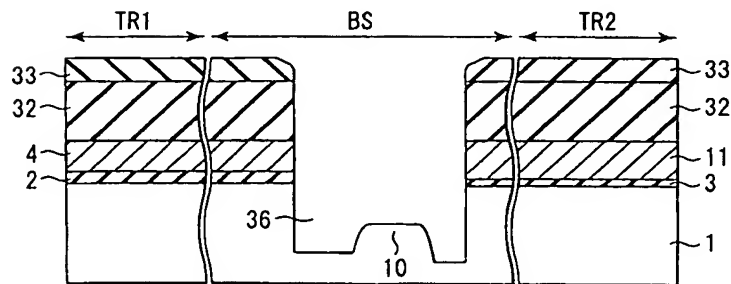
도면 6a



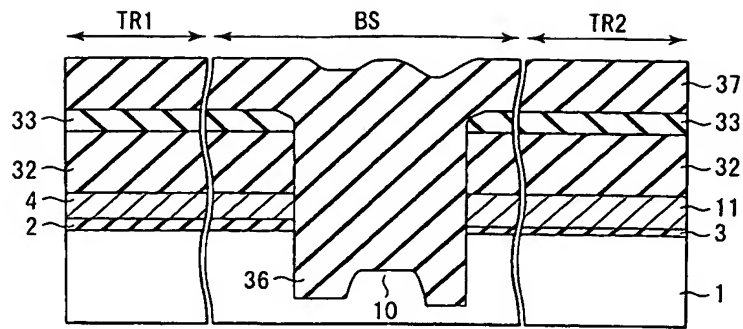
도면 6b



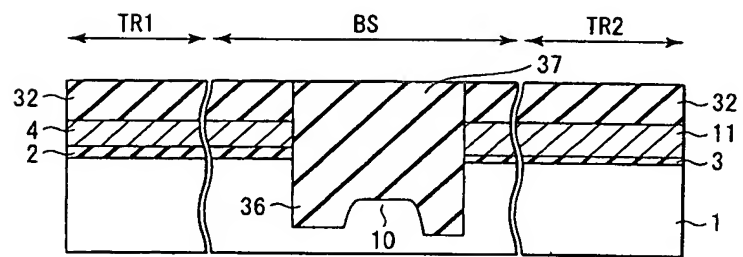
도면 6c



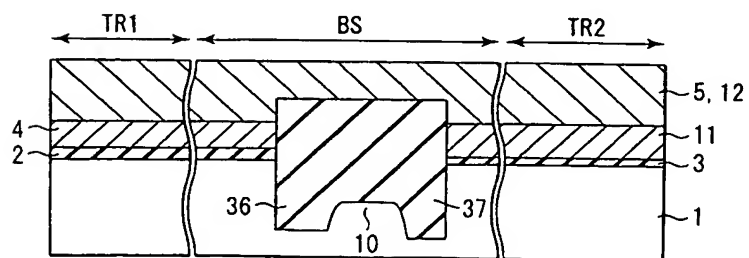
도면 7a



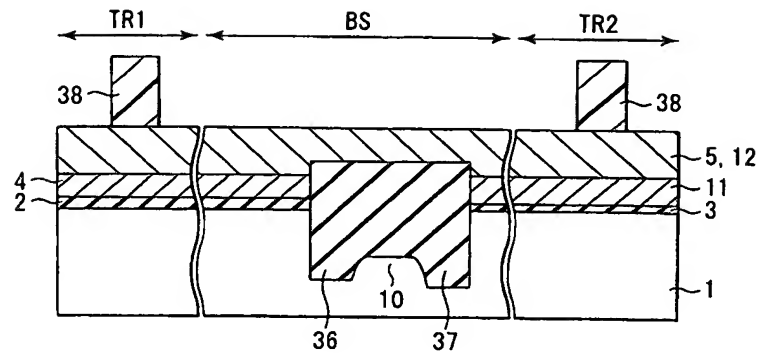
도면 7b



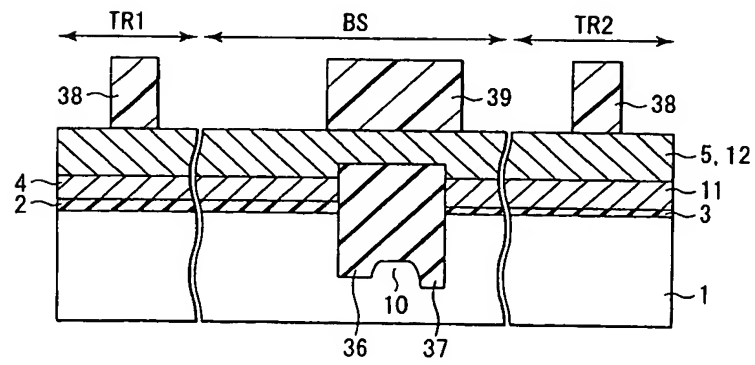
도면 7c



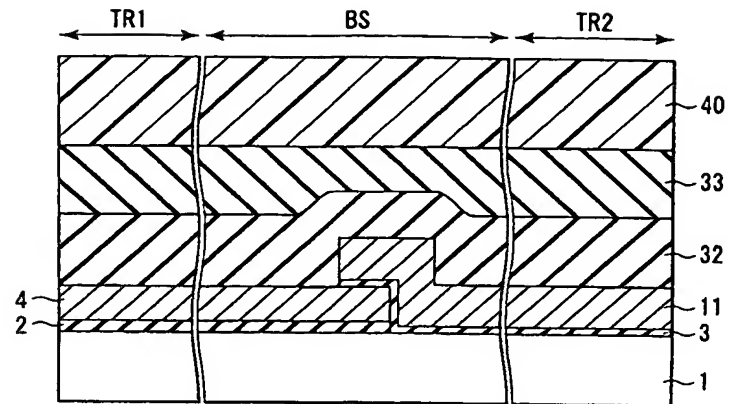
도면 8



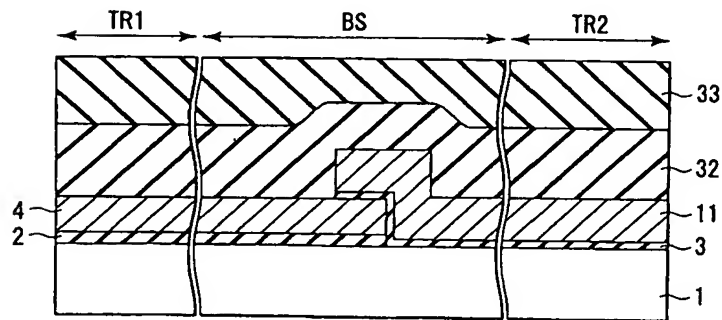
도면 9



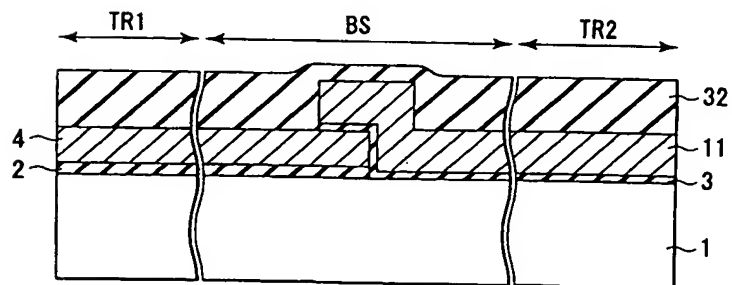
도면 10a



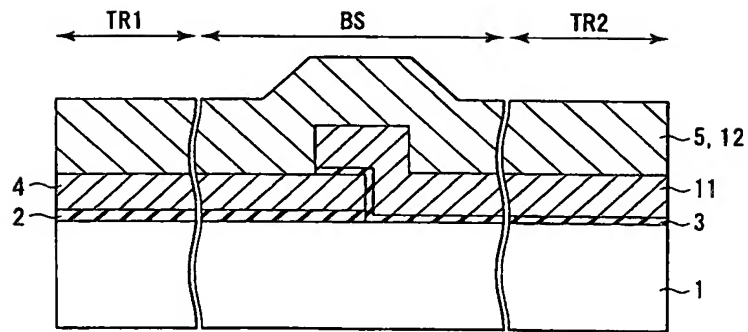
도면 10b



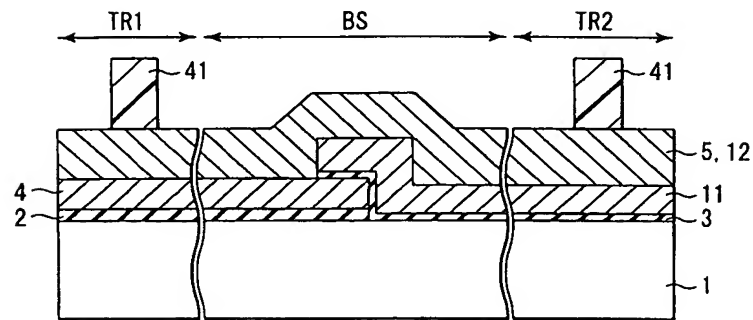
도면 11a



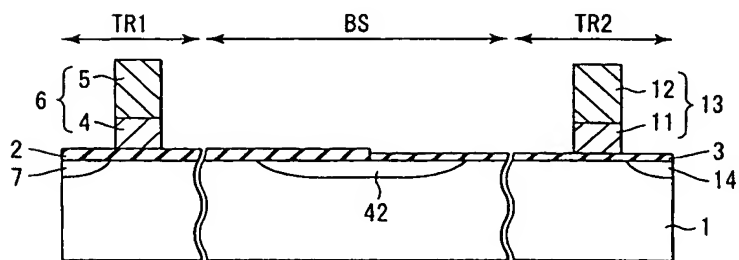
도면 11b



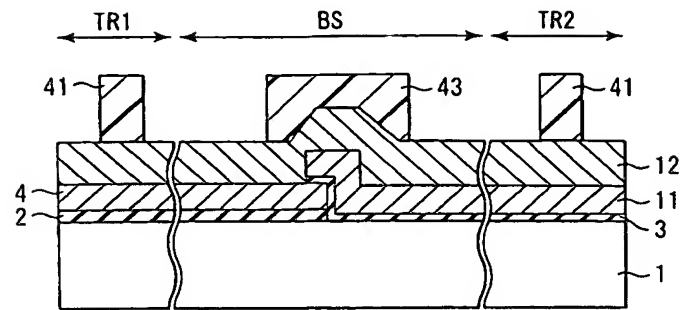
도면 12a



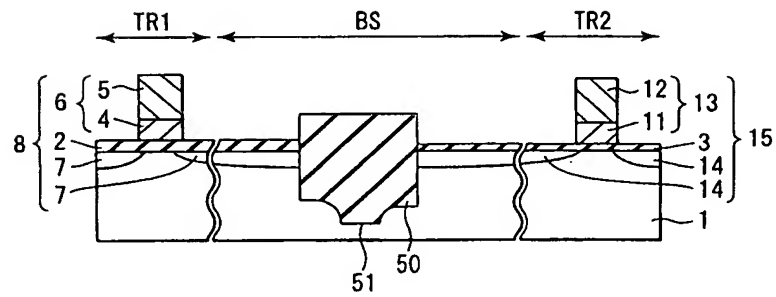
도면 12b



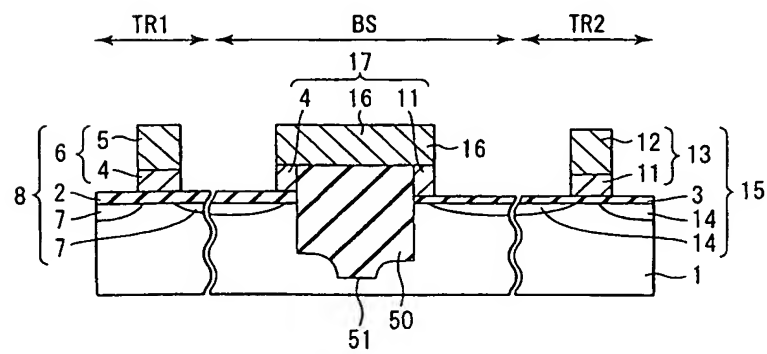
도면 13



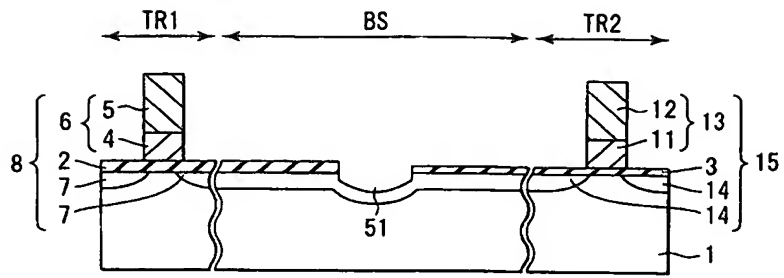
도면 14a



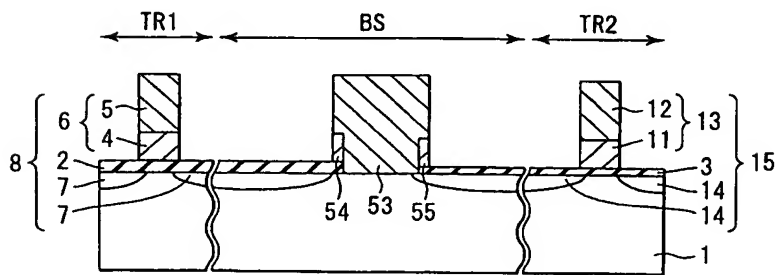
도면 14b



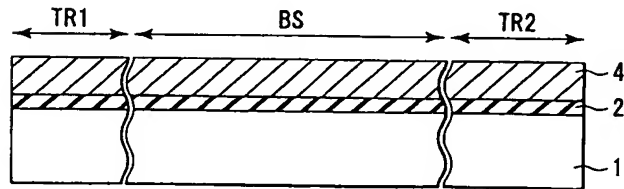
도면 15a



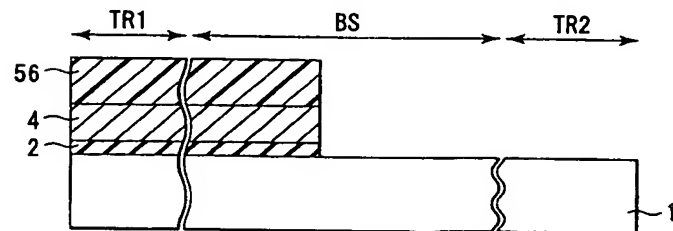
도면 15b



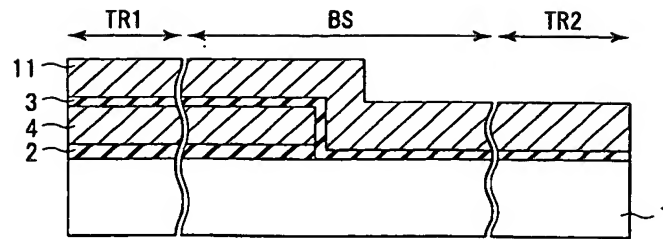
도면 16a



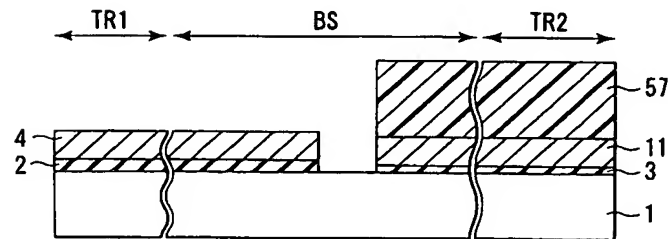
도면 16b



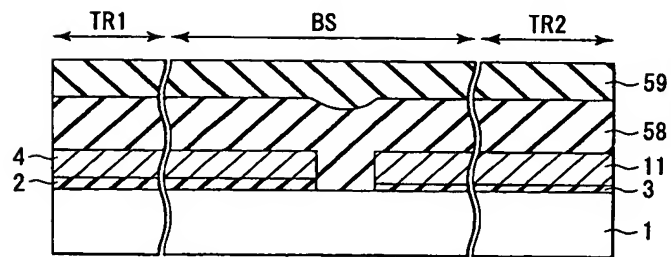
도면 16c



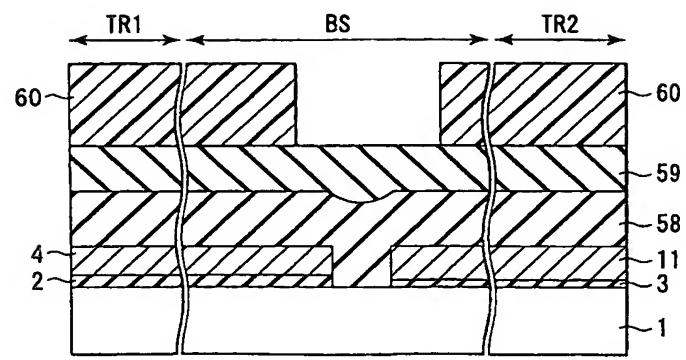
도면 17a



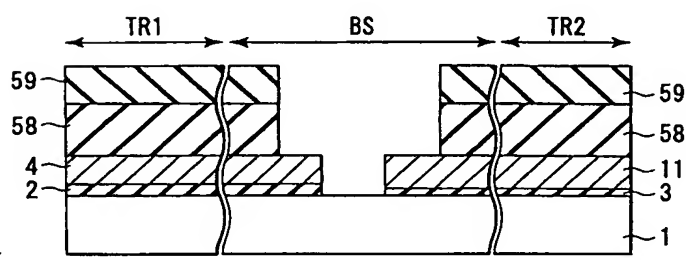
도면 17b



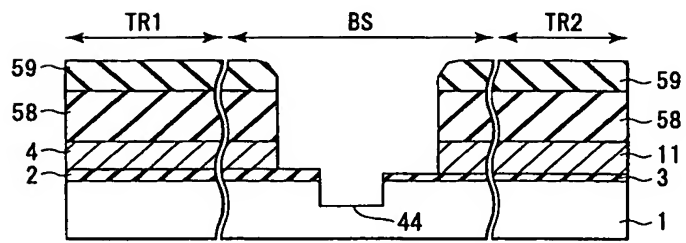
도면 17c



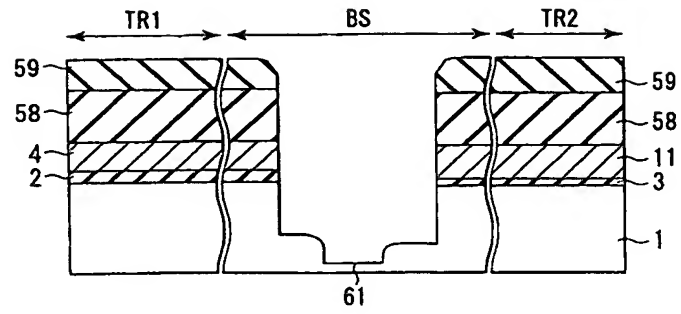
도면 18a



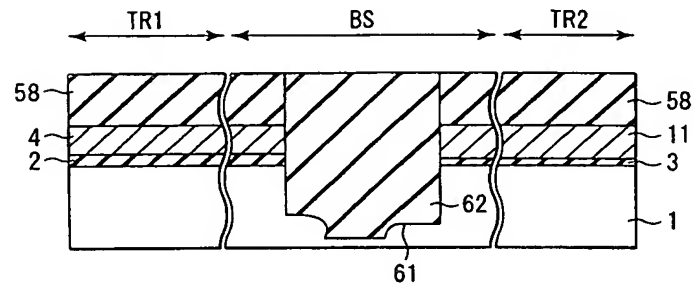
도면 18b



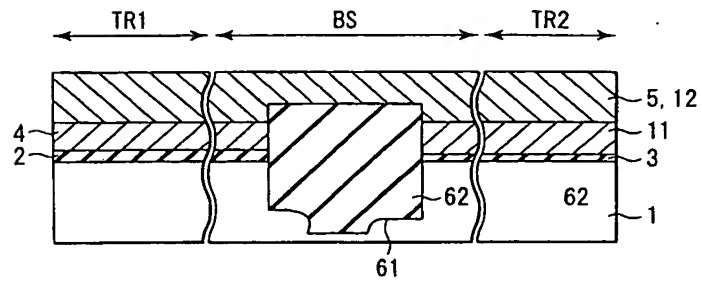
도면 18c



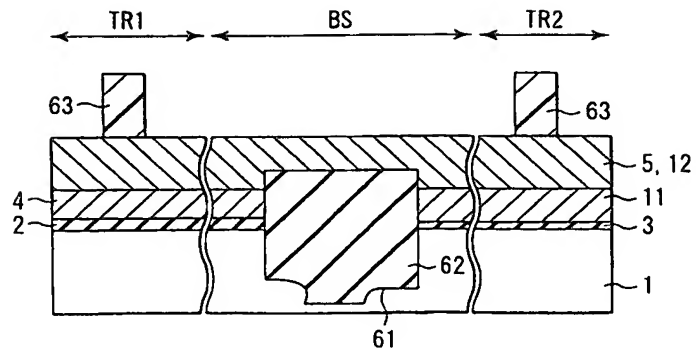
도면 19a



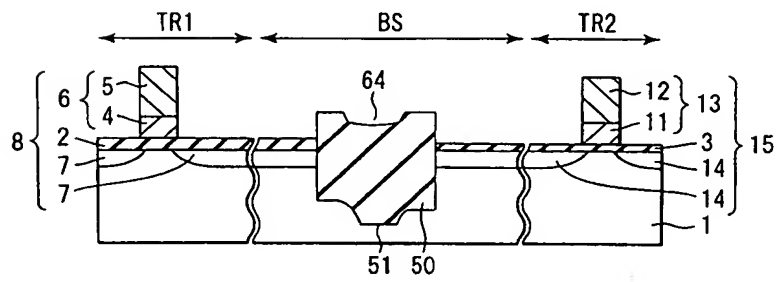
도면 19b



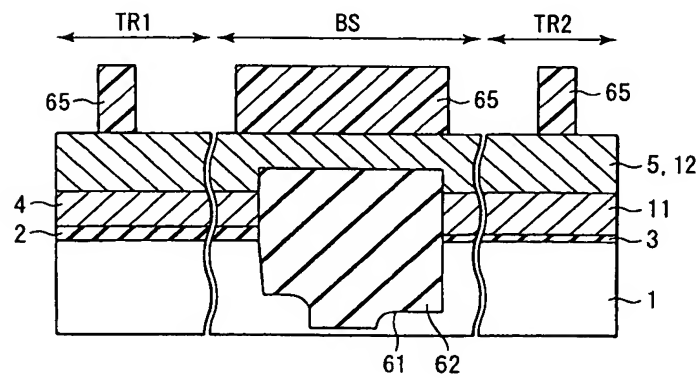
도면 19c



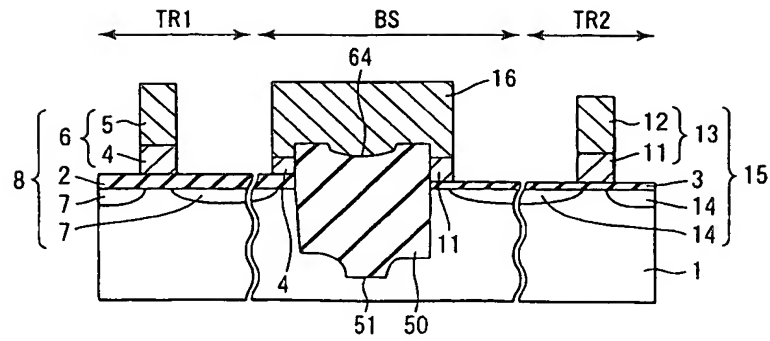
도면 20



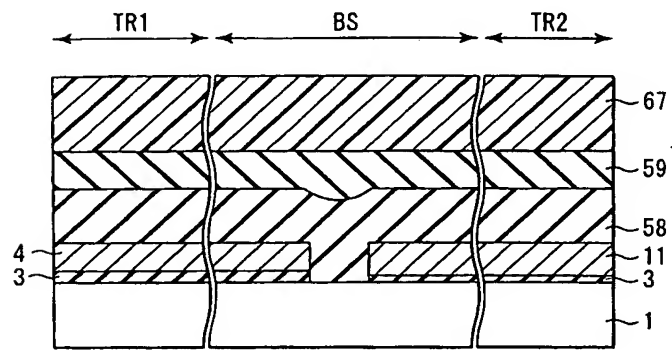
도면 21



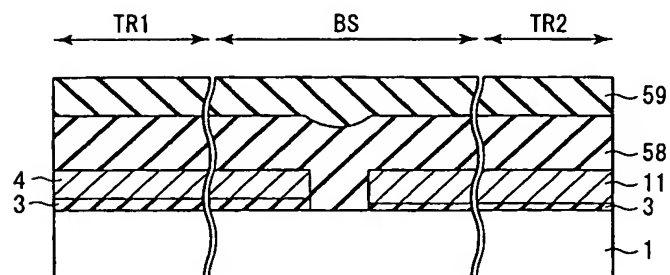
도면 22



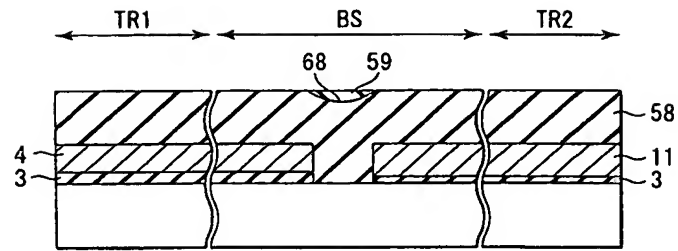
도면 23a



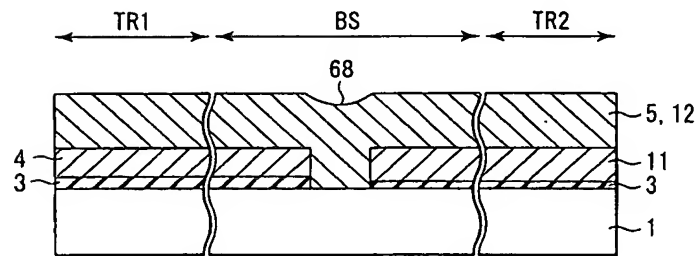
도면 23b



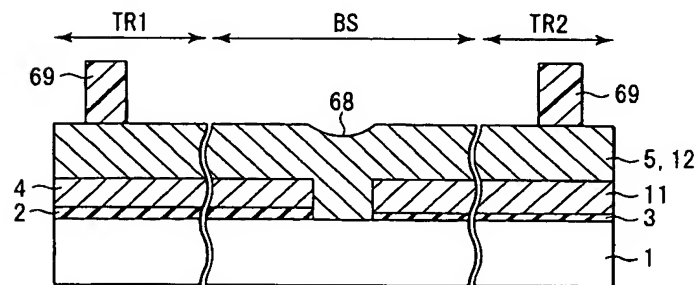
도면 24a



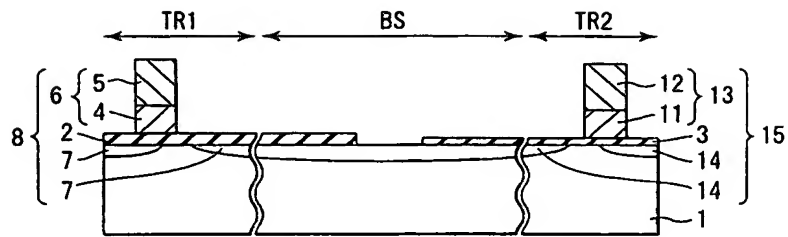
도면 24b



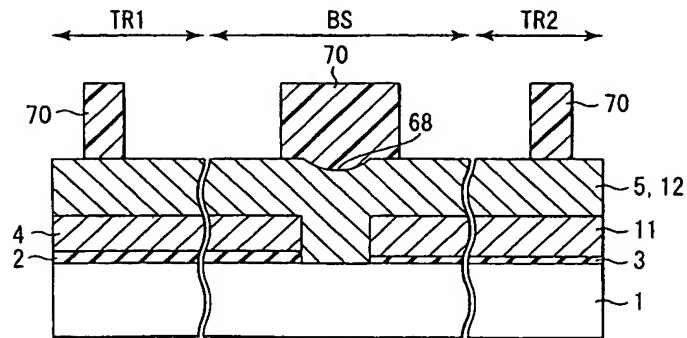
도면 25a



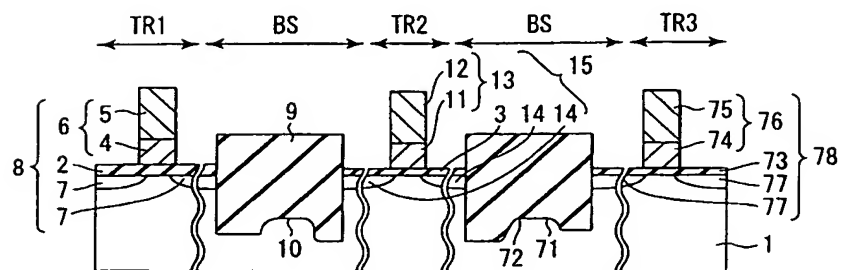
도면 25b



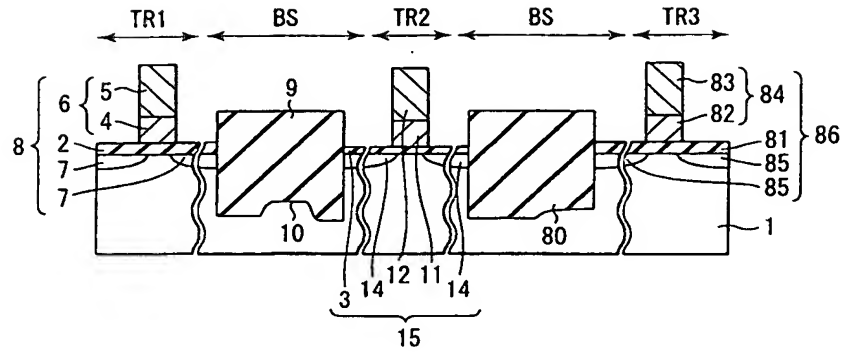
도면 26



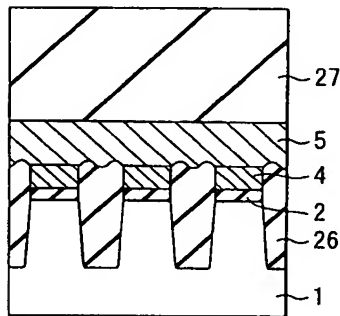
도면 27a



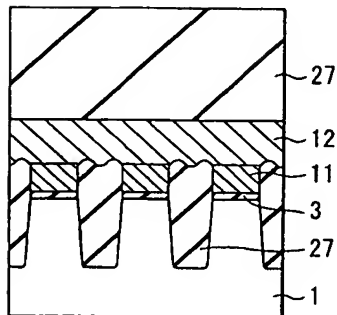
도면 27b



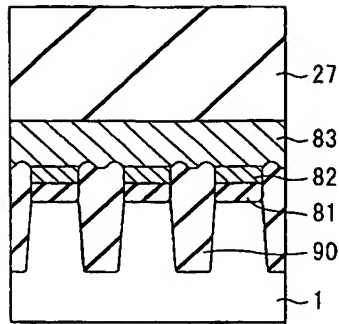
도면 28a



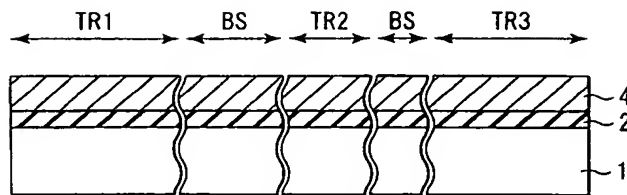
도면 28b



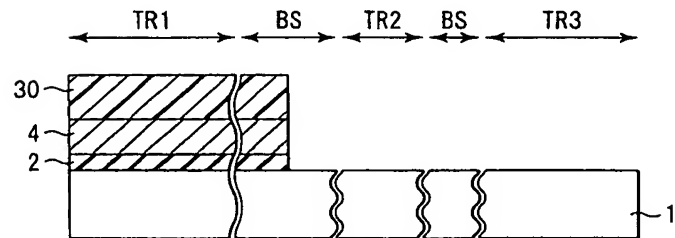
도면 28c



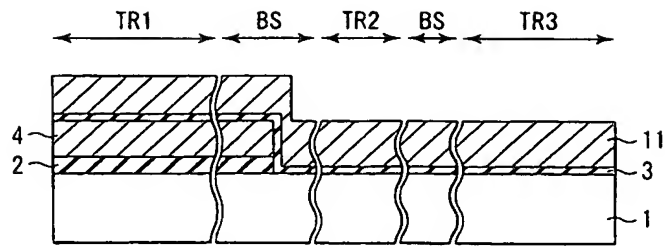
도면 29a



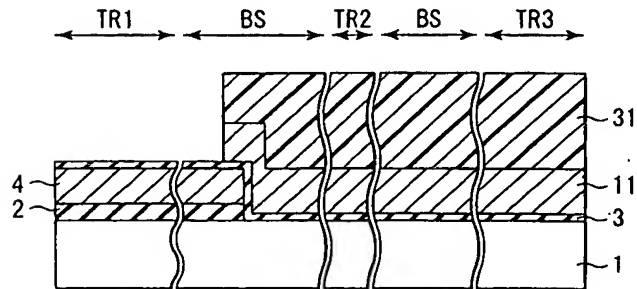
도면 29b



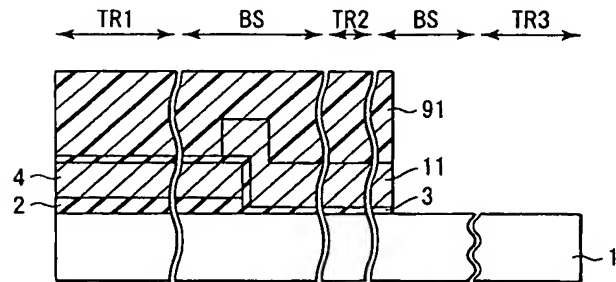
도면 29c



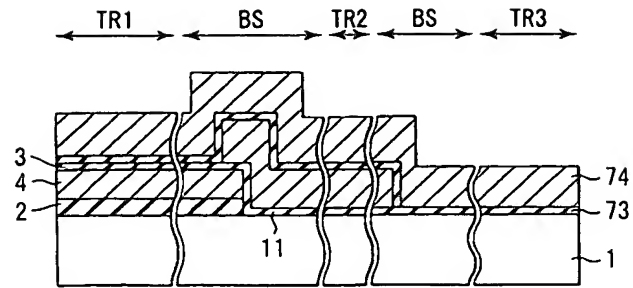
도면 30a



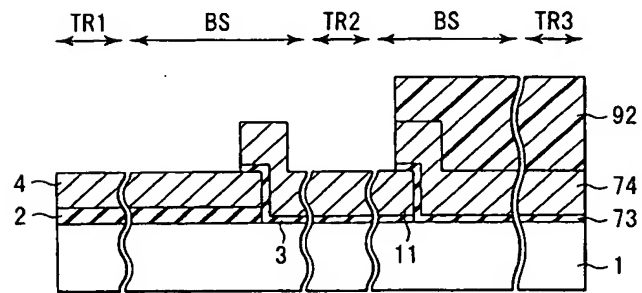
도면 30b



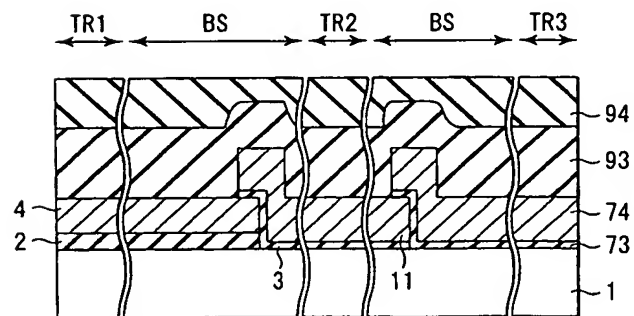
도면 30c



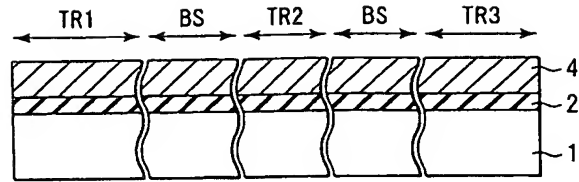
도면 31a



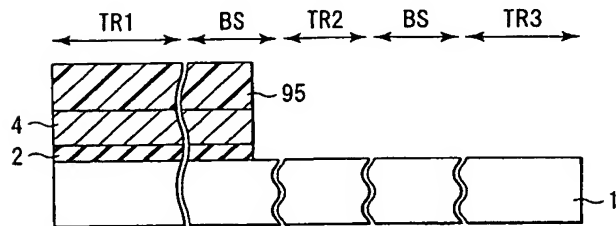
도면 31b



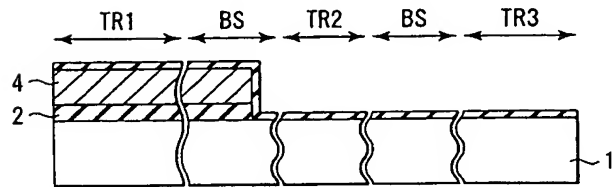
도면 32a



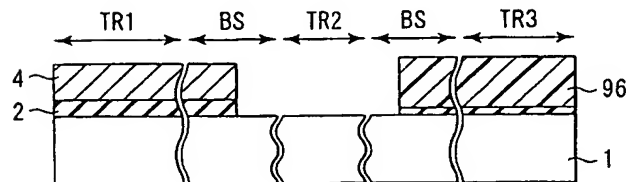
도면 32b



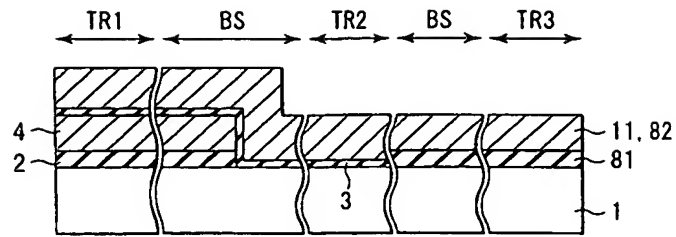
도면 32c



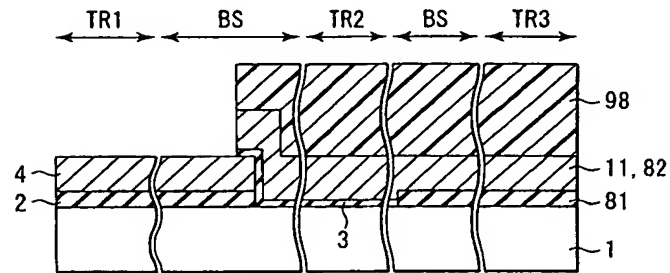
도면 32d



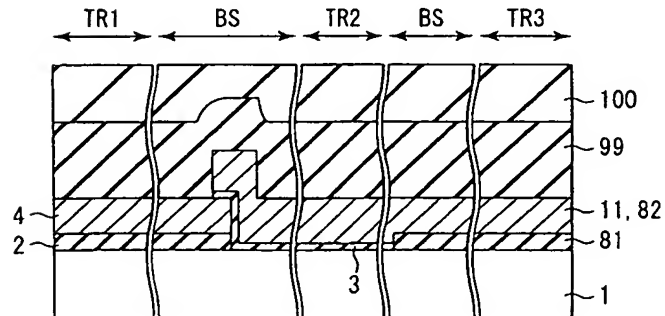
도면 33a



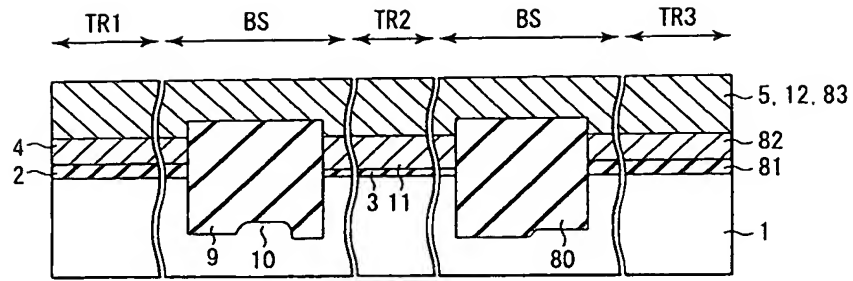
도면 33b



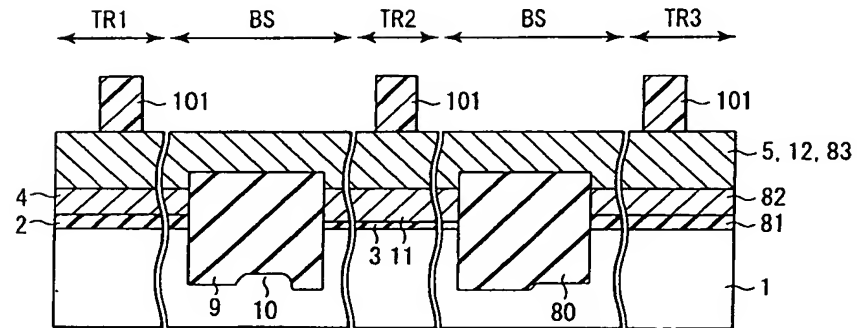
도면 33c



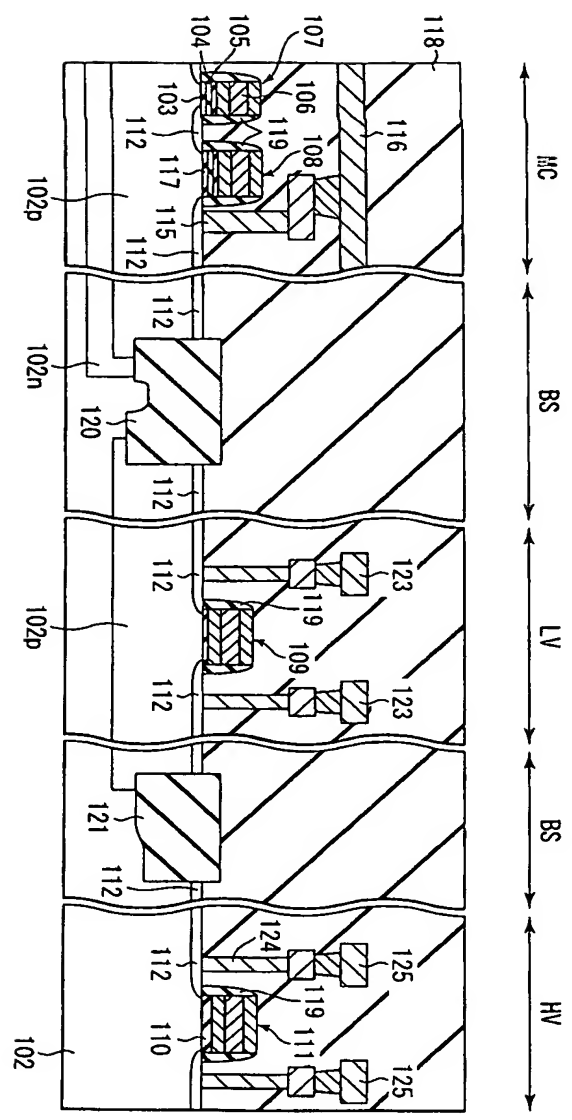
도면 34a



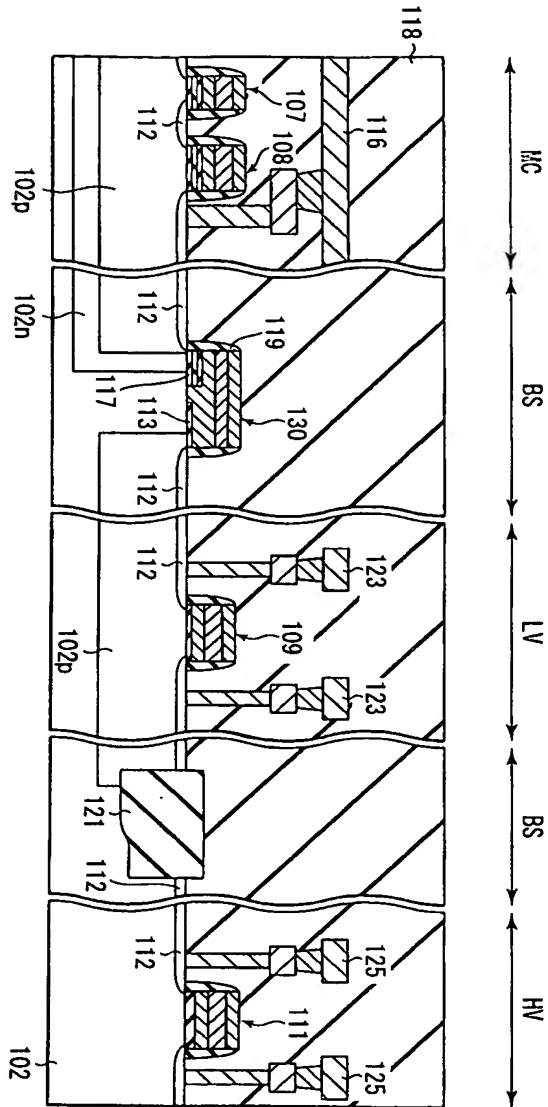
도면 34b



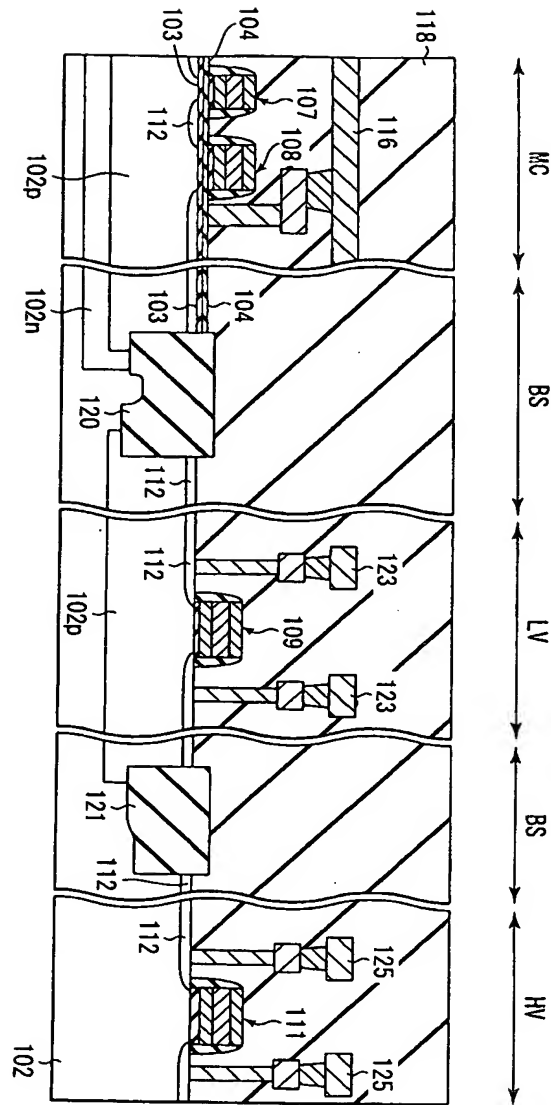
도면 35



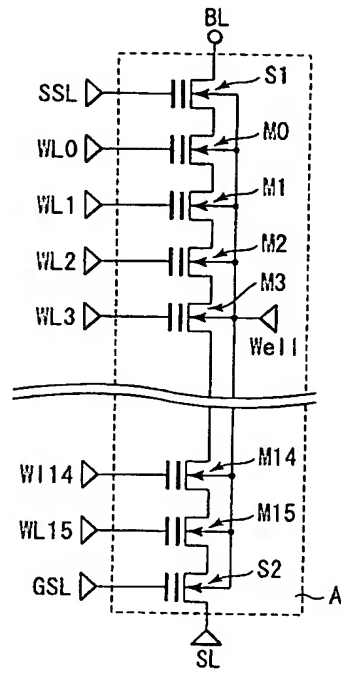
도면 36



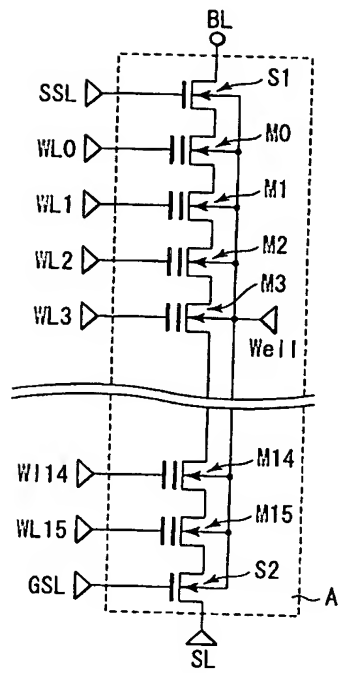
도면 37



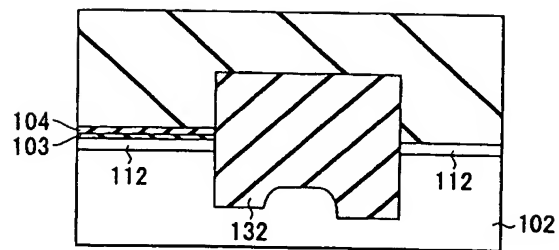
도면 38



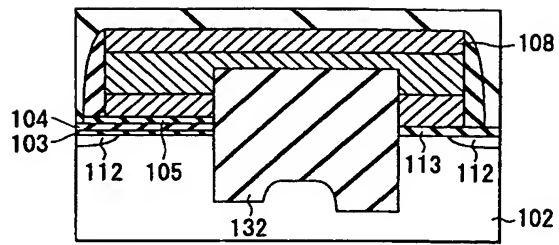
도면 39



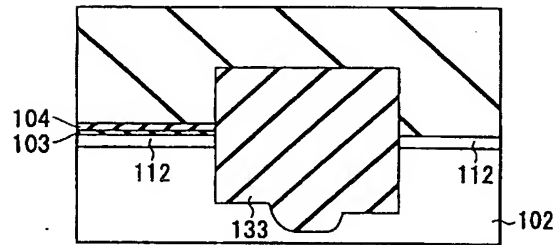
도면 40a



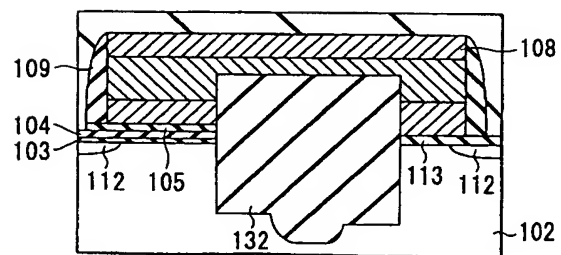
도면 40b



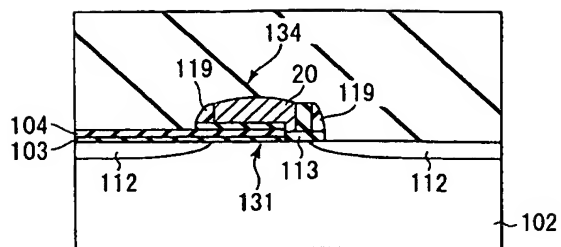
도면 40c



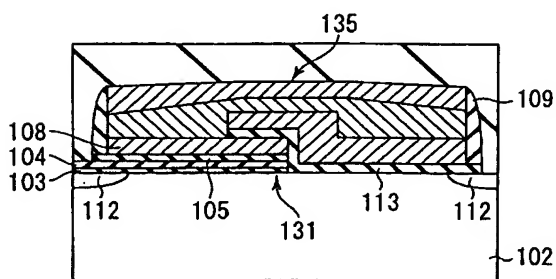
도면 40d



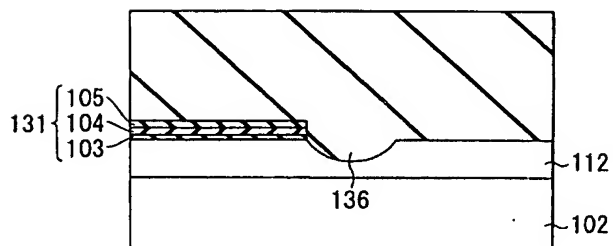
도면 40e



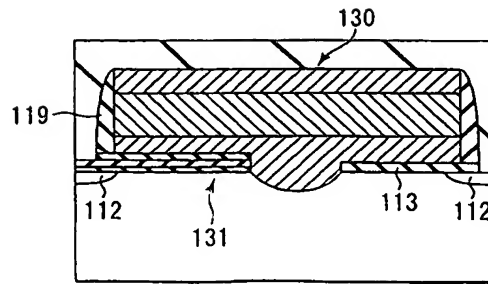
도면 40f



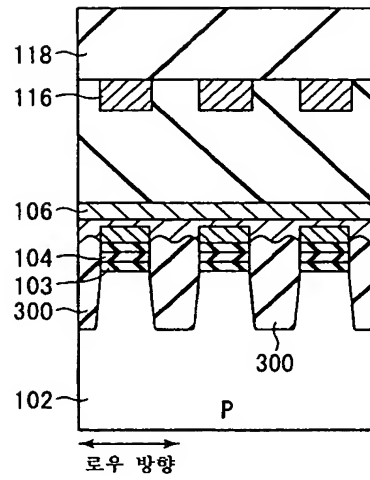
도면 40g



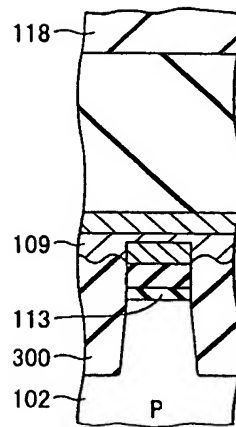
도면 40h



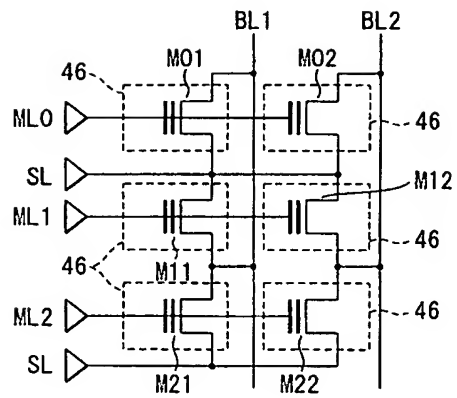
도면 41a



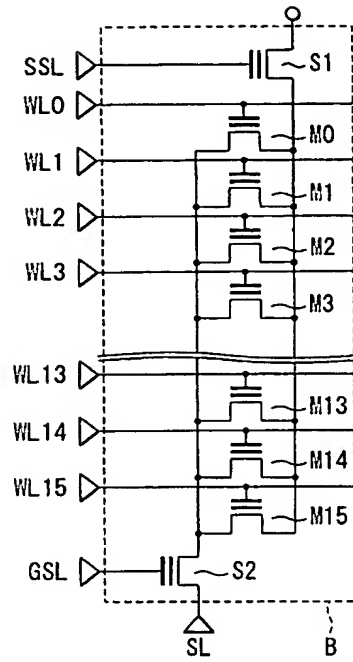
도면 41b



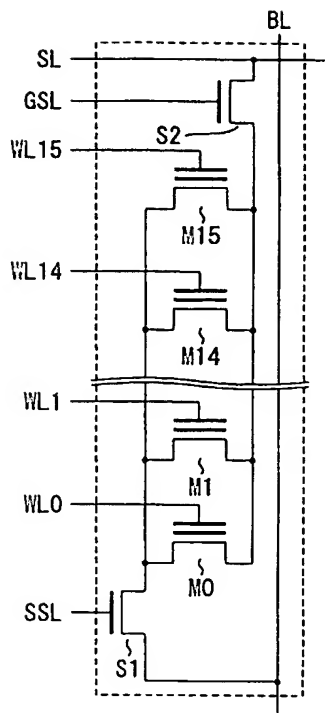
도면 42



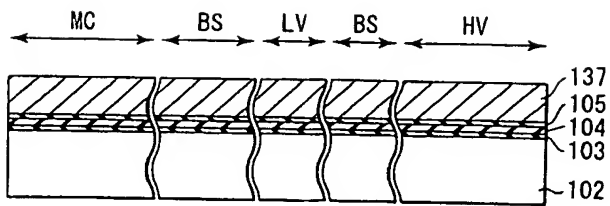
도면 43



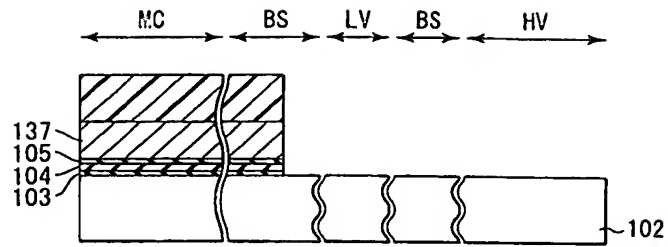
도면 44



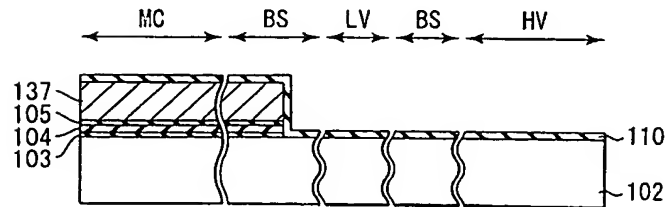
도면 45a



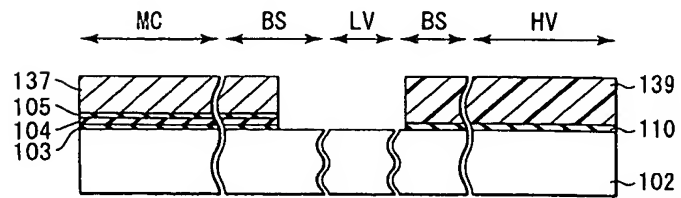
도면 45b



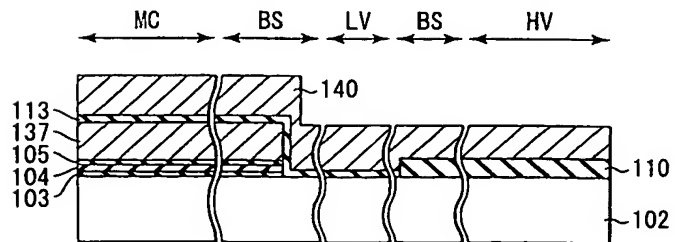
도면 45c



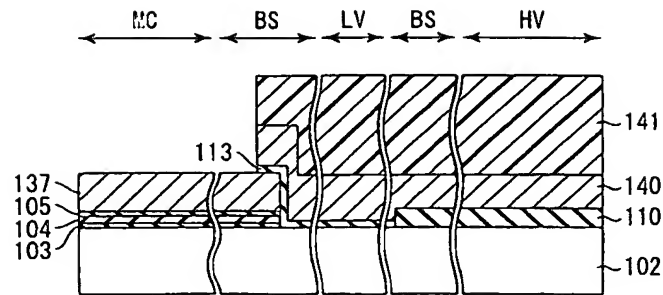
도면 46a



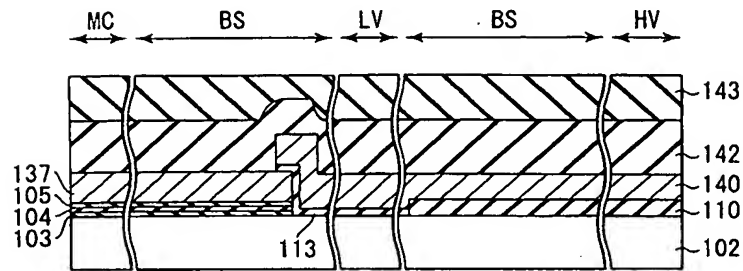
도면 46b



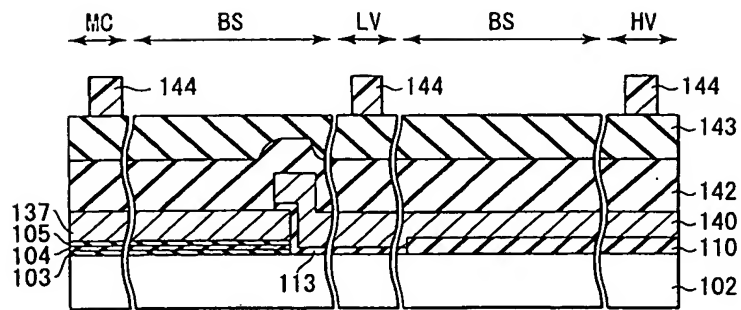
도면 46c



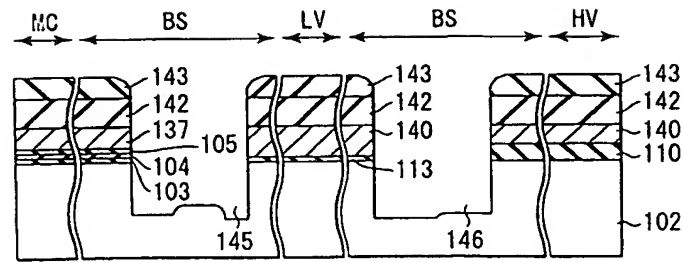
도면 47a



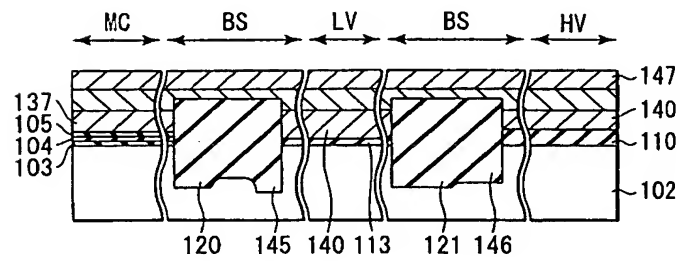
도면 47b



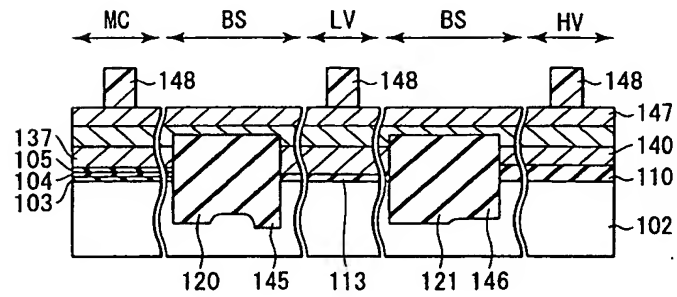
도면 47c



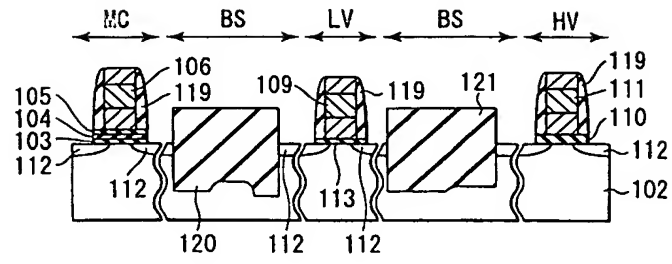
도면 48a



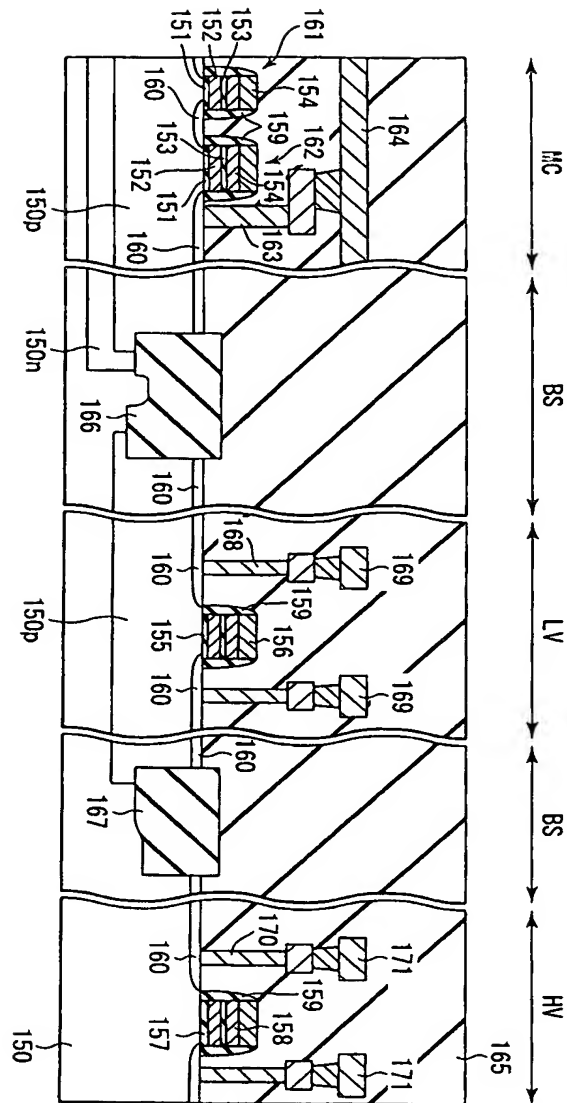
도면 48b



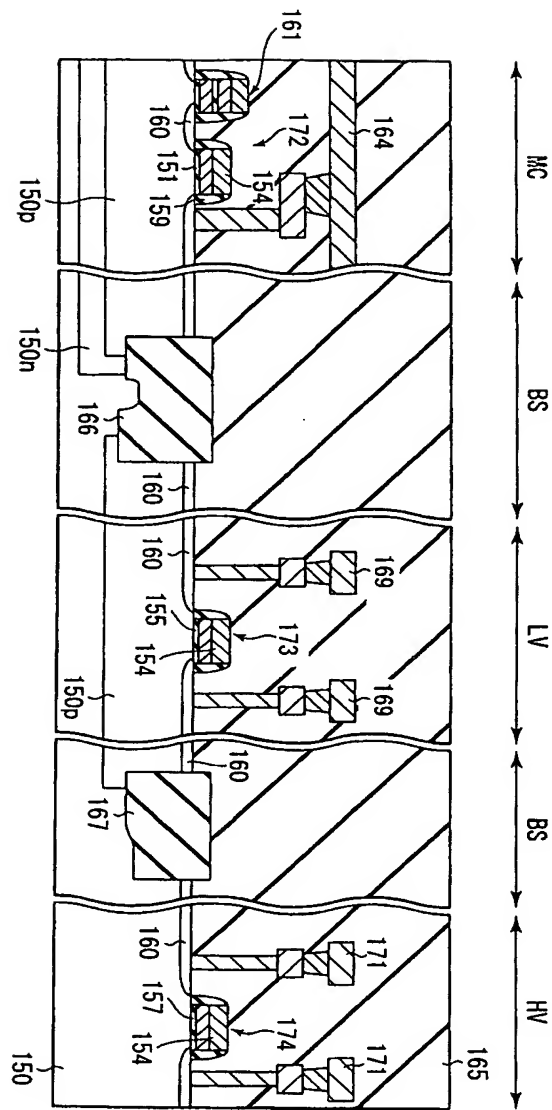
도면 48c



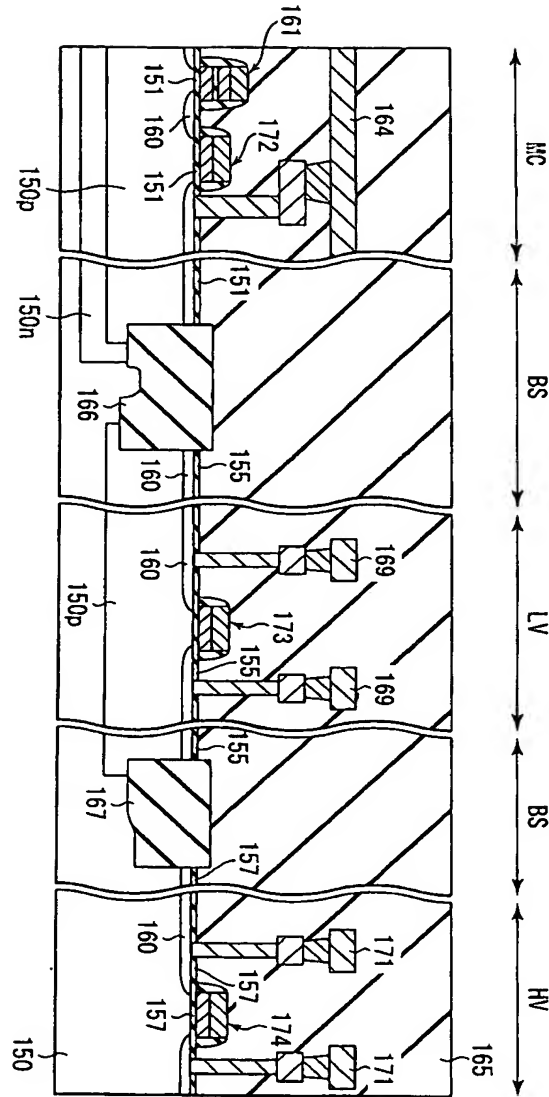
도면 49



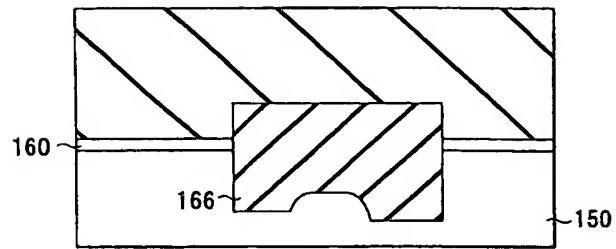
도면 50



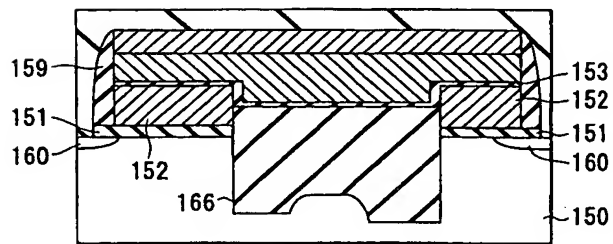
도면 51



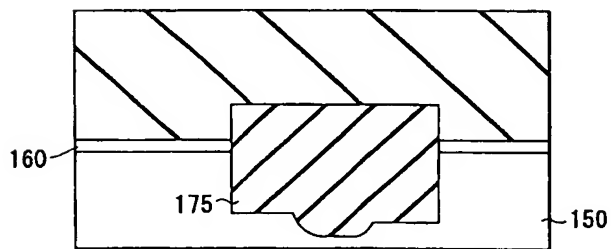
도면 52a



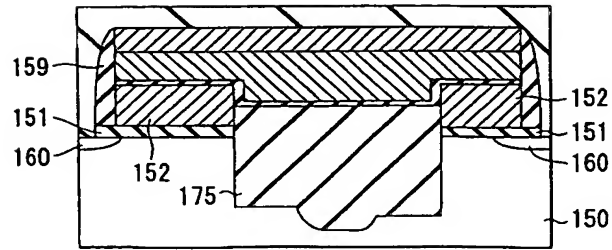
도면 52b



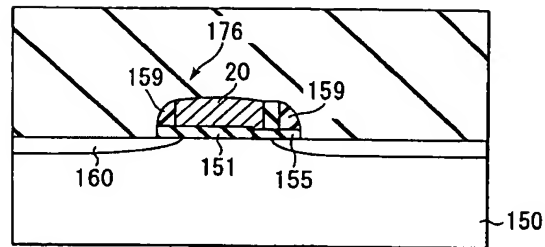
도면 52c



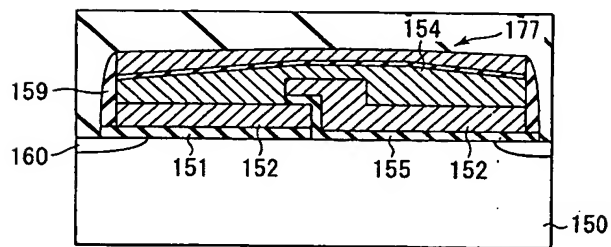
도면 52d



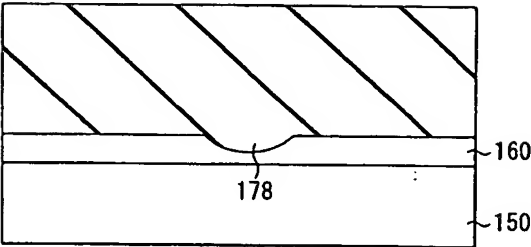
도면 52c



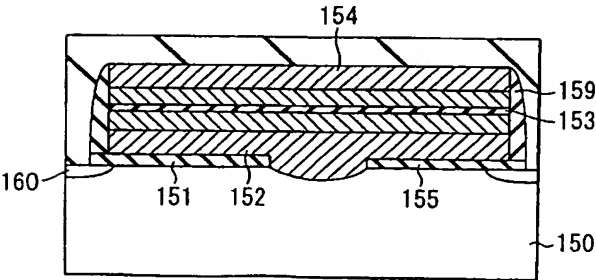
도면 52f



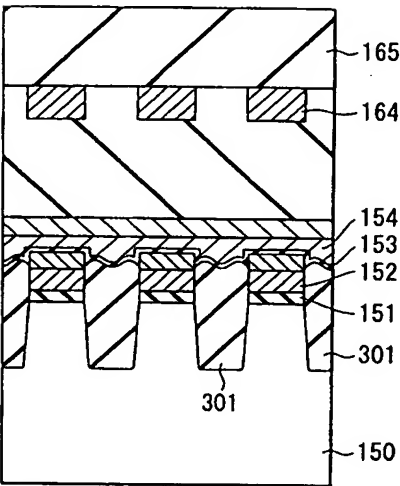
도면 52g



도면 52h

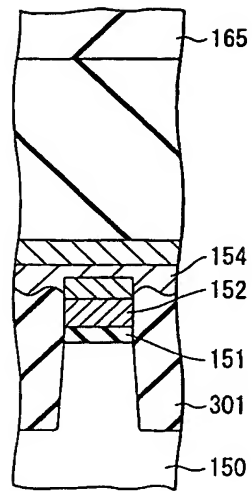


도면 53a

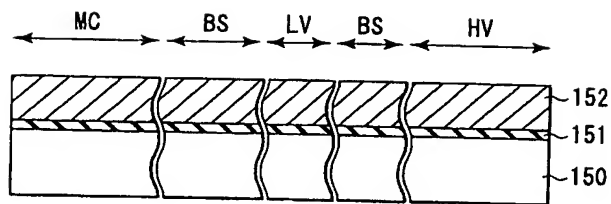


로우 방향

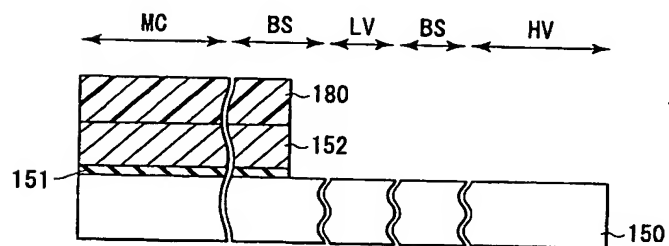
도면 53b



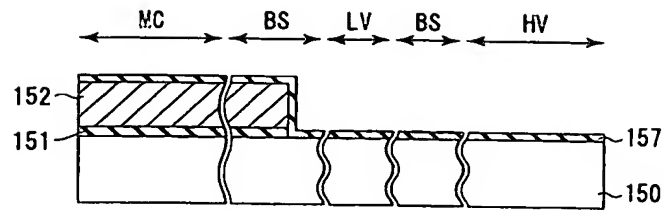
도면 54a



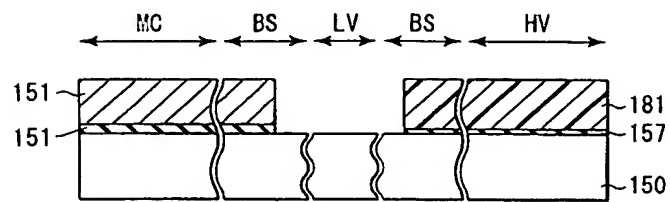
도면 54b



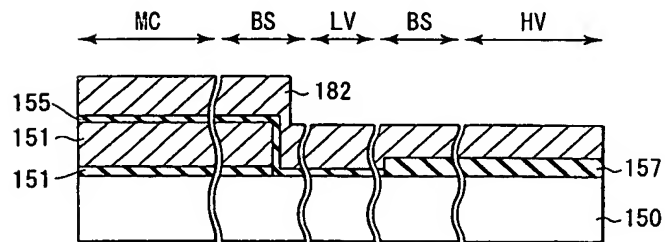
도면 54c



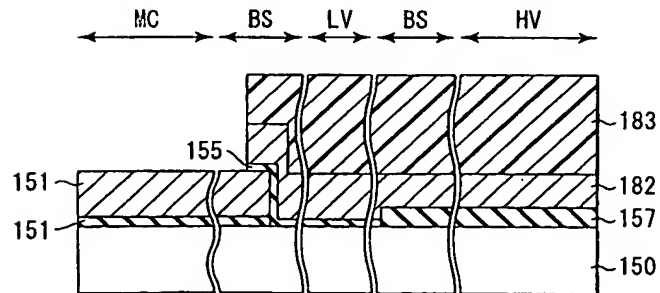
도면 55a



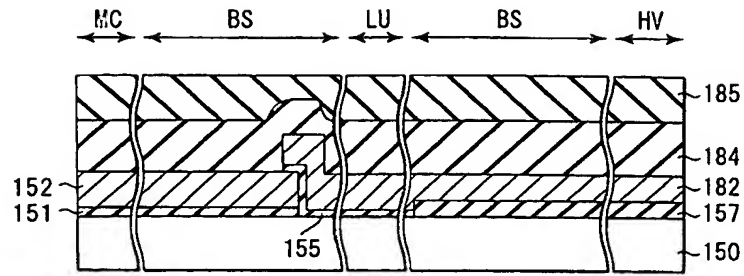
도면 55b



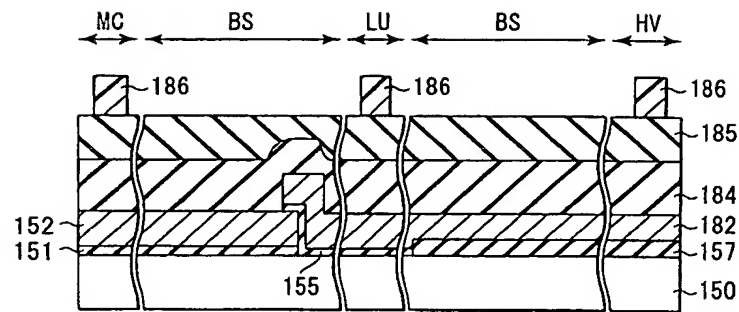
도면 55c



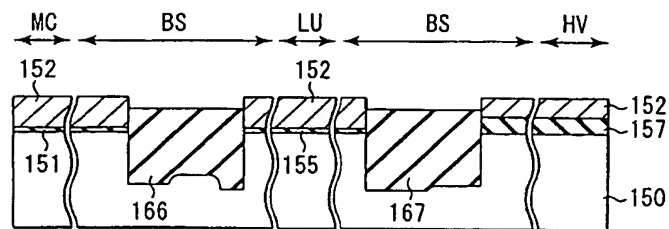
도면 56a



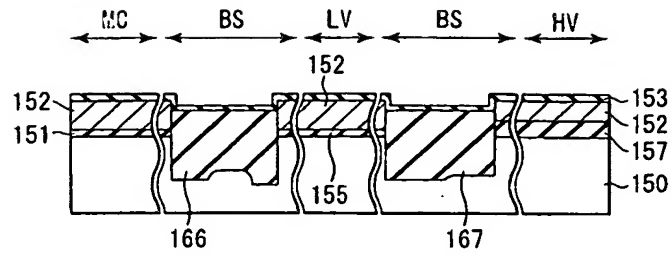
도면 56b



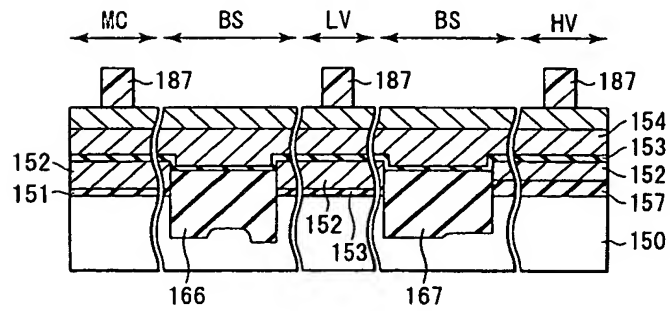
도면 56c



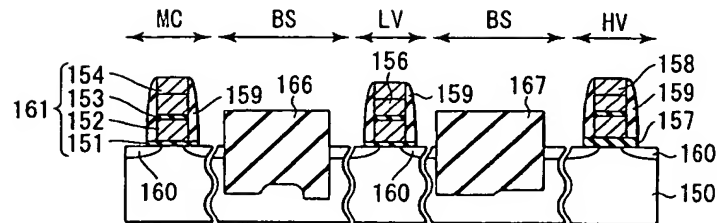
도면 57a



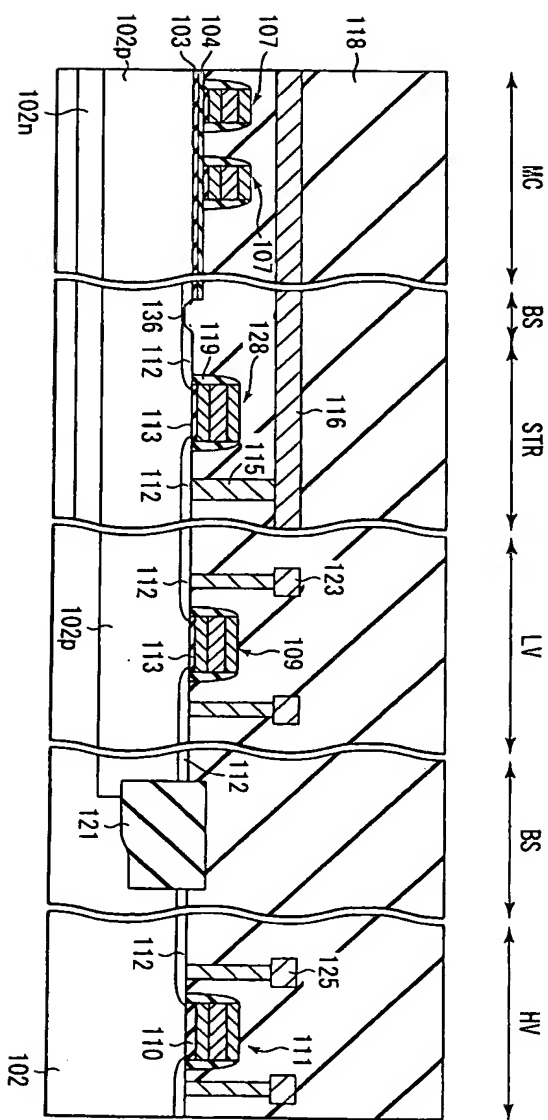
도면 57b



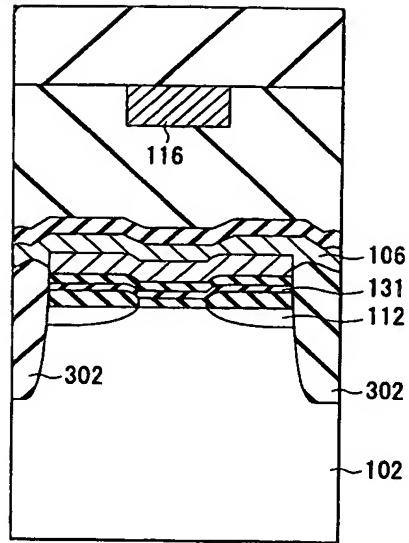
도면 57c



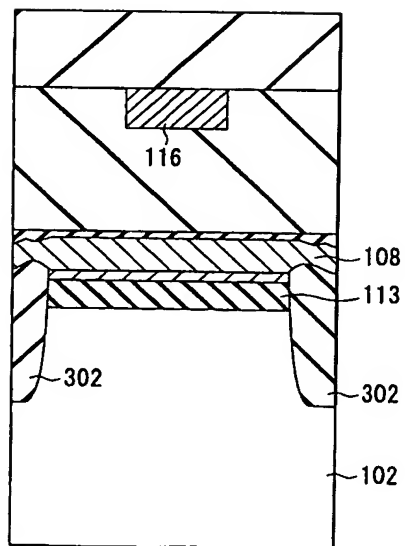
도면 58



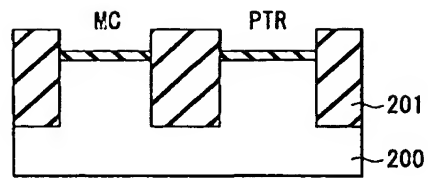
도면 59a



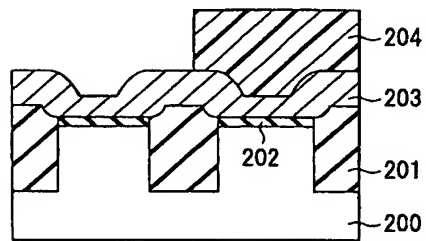
도면 59b



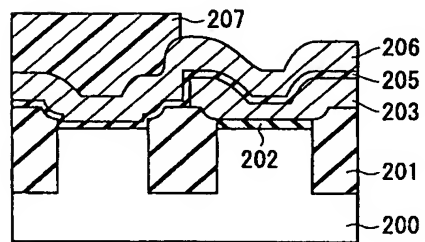
도면 60a



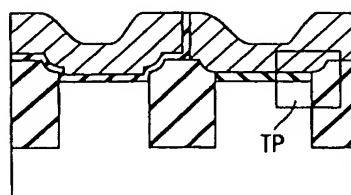
도면 60b



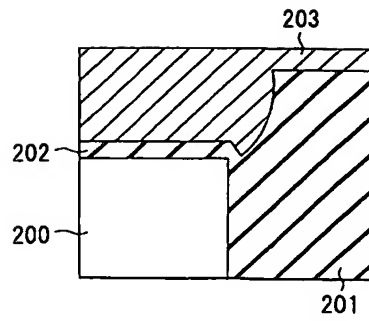
도면 60c



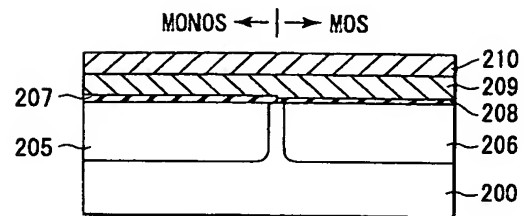
도면 60d



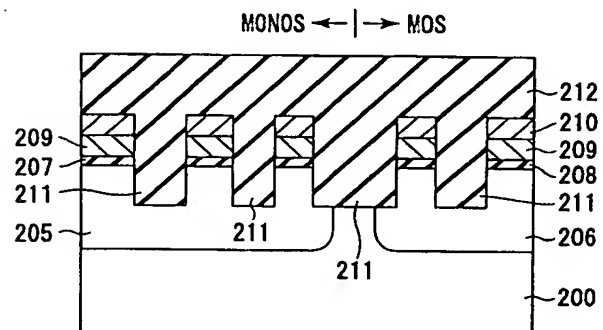
도면 60c



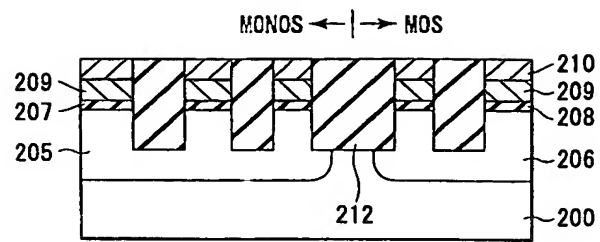
도면 61a



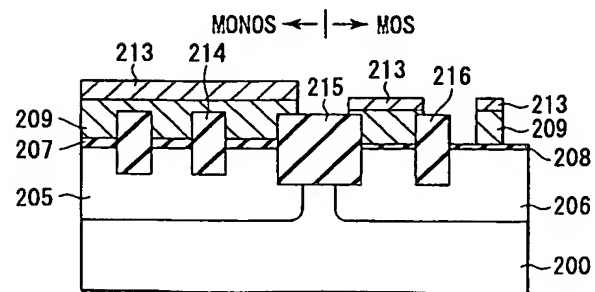
도면 61b



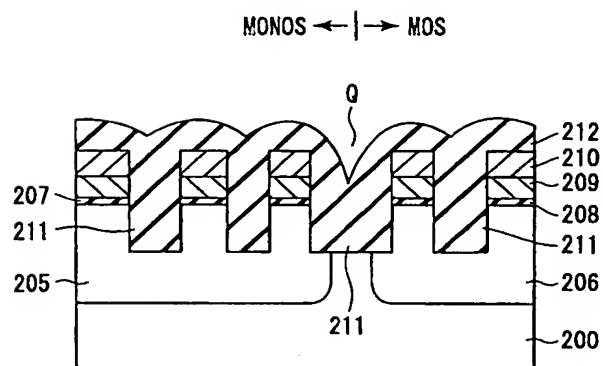
도면 61c



도면 61d



도면 62a



도면 62b

